

COMMUNICATION BETWEEN STATION OF SYSTEM OF A PLURALITY OF PROCESSORS LINKED TO COMMUNICATION MEDIUM AND A PLURALITY OF STATIONS

Publication number: JP63234343 (A)

Publication date: 1988-09-29

Inventor(s): TOMASU PATORITSUKU BITSUSHIYOP; MAAKU HENRI DEIBUISU; DEIBUITSUTO NIKORASU HOON; GUROBUA TEIMOSHII SURATSUTO; ROURENSU ARUNO UERUSHIYU +

Applicant(s): AMERICAN TELEPHONE & TELEGRAPH +

Classification:

- **international:** G06F13/00; G06F13/374; G06F13/42; G06F15/16; G06F15/177; G06F9/46; H04L12/56; H04L29/00; G06F11/14; G06F13/00; G06F13/36; G06F13/42; G06F15/16; G06F9/46; H04L12/56; H04L29/00; G06F11/14; (IPC1-7): G06F13/00; G06F15/16; H04L11/00

- **European:** G06F13/374; G06F13/42C1A; G06F9/46R6M; H04L12/56Q1; H04L12/56Q3; H04L29/00

Application number: JP19870323014 19871222

Priority number(s): US19860941702 19861222

Also published as:

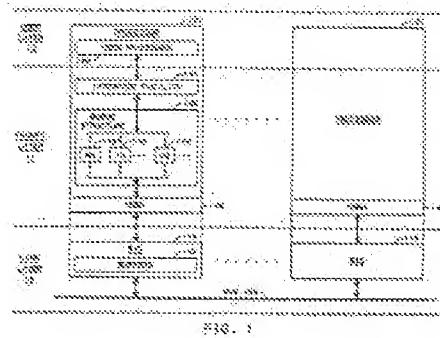
- JP5050021 (B)
- JP1836446 (C)
- EP0272834 (A2)
- EP0272834 (A3)
- EP0272834 (B1)
- USA4914653 (A)
- KR960012686 (B1)
- DE3751091 (T2)
- CA1277382 (C)
- BR8706962 (A)

<< less

Abstract not available for JP 63234343 (A)

Abstract of corresponding document: **EP 0272834 (A2)**

Processor (101) of a multiprocessor system (FIG. 1) communicate across bus (150) via a low-latency packet protocol featuring per-logical channel input queues (143) and output queues (144), different per-processor priorities for sending data packets (FIG. 10) and data packet-acknowledging "quick" messages (FIG. 11), and separate buffers (923; 918) for receiving data packets and "quick" messages, respectively. Transmitted data packets afflicted by error, receive buffer overflow, and input queue-full conditions are discarded by the receiving processor and are retransmitted by the sending processor.



Data supplied from the **espacenet** database — Worldwide

⑫ 公開特許公報 (A)

昭63-234343

⑬ Int.Cl.⁴G 06 F 13/00
15/16
H 04 L 11/00

識別記号

351
310
320

庁内整理番号

A-7218-5B
R-6745-5B
7928-5K

⑭ 公開 昭和63年(1988)9月29日

審査請求 未請求 発明の数 2 (全41頁)

⑮ 発明の名称 通信媒体に結合された複数プロセッサの系のステーションと複数ステーション間の通信方法

⑯ 特願 昭62-323014

⑰ 出願 昭62(1987)12月22日

優先権主張

⑱ 1986年12月22日 ⑲ 米国(US) ⑳ 941702

㉑ 発明者 トマス パトリック アメリカ合衆国, 60505 イリノイ, オーロラ, リンカン
ビツシヨプ ウッド コート 2505

㉒ 出願人 アメリカン テレフォン アンド テレグラフ マディソン アヴェニュー 550
カムバニー

㉓ 代理人 弁理士 三俣 弘文
最終頁に続く

明細書の添付(内容に変更なし)

明細書

1. 発明の名称

通信媒体に結合された複数プロセッサの系のステーションと複数ステーション間の通信方法

2. 特許請求の範囲

(1) 通信媒体(たとえば 150)とこの媒体に通信結合された複数のプロセッサとを有する系(たとえば第1図)のステーション(たとえば 101)において:

ステーションに付属の第1の優先順位および第1の優先順位より高位の第2の優先順位のいずれか一方に応じて媒体へのアクセスを探索するための第1の手段(たとえば 110: 1301-1305および1314)と;

第1の手段によるアクセス探索の結果に応答して媒体上の第1および第2のタイプのいずれかのメッセージを他のステーションに伝送するための第2の手段(たとえば 110: 1306-1308)と;

媒体上で他のステーションから受取られた第1のタイプのメッセージを記憶するための第3の手

段(たとえば 110: 923および 1410-1412)と;

媒体上で他のステーションから受取られた第2のタイプのメッセージを第1のタイプのメッセージから分離して記憶するための第4の手段(たとえば 110: 918および 1410-1412)と;

第1の優先順位に応じて第1の手段が媒体アクセスを探索するように行わせかつ第2の手段が第1のタイプのメッセージを伝送するように行わせるための第5の手段(たとえば 144、第8図ないし第11図)と;および

第3の手段内に記憶されている第2のステーションからのメッセージに応答して、第2の優先順位に応じて第1の手段が媒体アクセスを探索するように行わせかつ第2の手段が第2のタイプのメッセージを第2のステーションに伝送するように行わせるための第6の手段(たとえば 143、第18図ないし第20図)と;

を特徴とする通信媒体に結合された複数プロセッサの系のステーション。

(2) 第3の手段は:

第3の手段内に記憶されているメッセージは第1のタイプの条件により影響されるか否かを判定するための第7の手段(1214:1411)と;および第7の手段と協働し、メッセージが第1のタイプの条件により影響されると判定されたとき第1の信号を送るための第8の手段(たとえば1214:1412)と;

を含み、また第5の手段は:

媒体上における第1の信号の受取りに応答に応答して、第1の信号の受取り中に第2の手段により第1のタイプのメッセージの再伝送を行わせるための第9の手段(たとえば618、620);

を含むことを特徴とする特許請求の範囲第1項に記載のステーション。

(3) 第6の手段は:

第3の手段から抜出されたメッセージを示す情報を記憶するための第10の手段(たとえば143)と;

第3の手段内に記憶されている第2のステーションからのメッセージを第3の手段から抜出すた

めの第11の手段(たとえば1504、1515、第19図)と;

抜出されたメッセージは第2のタイプの条件により影響されるか否かを判定するための第12の手段(たとえば1514)と;

抜出されたメッセージが第2のタイプの条件により影響されないと判定されたら抜出されたメッセージを示す情報を第10の手段内に選択的に記憶し、またそれが第2のタイプの条件により影響されると判定されたら抜出されたメッセージを放棄するための第13の手段(第19図)と;および抜出されたメッセージが第2の条件により影響されないと判定されたら第2の優先順位に応じて第1の手段が媒体アクセスを探索するように行わせかつ第2の手段が抜出されたメッセージの肯定応答を有する第2のタイプのメッセージを第2のステーションに伝送するように行わせ、また抜出されたメッセージが第2の条件により影響されると判定されかつ影響されるメッセージの受取り中に第8の手段が第1の信号を媒体中に送らなかった

ら第2の優先順位に応じて第1の手段が媒体アクセスを探索するように行わせかつ第2の手段が抜出されたメッセージの否定応答を有する第2のタイプのメッセージを第2のステーションに伝送するように行わせるための第14の手段(1532、1545、1547)と;

を含むことを特徴とする特許請求の範囲第1項に記載のステーション。

(4) 第6の手段は:

第3の手段から抜出されたメッセージを示す情報を記憶するための第10の手段(たとえば143)と;

第3の手段内に記憶されている第2のステーションからのメッセージを第3の手段から抜出すための第11の手段(たとえば1504、1515、第19図)と;と;

抜出されたメッセージは第1のタイプを含む第2のタイプの条件により影響されるか否かを判定するための第12の手段(たとえば1505、1509、1514、1518)と;

抜出されたメッセージが第2のタイプの条件により影響されないと判定されたら抜出されたメッセージを示す情報を第10の手段内に記憶し、またそれが第2のタイプの条件により影響されると判定されたら抜出されたメッセージを放棄するための第13の手段(たとえば1504、1515、1508、1528、1508、1510、1516、1517、1501、1550、1519、1520、1508、1530)と;および

抜出されたメッセージが第1のタイプの条件により影響されないと判定されたら第2の優先順位に応じて第1の手段が媒体アクセスを探索するように行わせるための第14の手段(1502、1532、1545、1547)と;

を含むことを特徴とする特許請求の範囲第1項に記載のステーション。

(5) 第5の手段は:

各々他のステーションの異なる第10の手段と結合され、付属の第10の手段へ第2の手段により伝送されるメッセージを示す情報を記憶するための複数の第15の手段(たとえば144)と;

第4の手段によるメッセージの記憶に応答していざれの応答タイプが保有されているかを判定するために、記憶されているメッセージを第4の手段から抜出すための第16の手段（たとえば 621-623）と；および

第18の手段と協働し、応答が肯定応答であると判定されたら第4の手段から抜出されたメッセージにより応答されたメッセージを示す情報を第10の手段から抹消し、また応答が否定応答であると判定されたら第4の手段から抜出されたメッセージにより応答されたメッセージを示す情報を記憶する第10の手段により記憶された情報によって示されるメッセージの伝送を遅らせるための第17の手段（たとえば 624、625）と；

を含むことを特徴とする特許請求の範囲第3項記載のステーション。

（6）第6の手段は：

第3の手段に記憶されている第2のステーションから受取られたメッセージは第1のタイプの条件により影響されるか否かを判定するための第7

メッセージの再伝送を行わせるための第9の手段（たとえば 621-625）；

を含むことを特徴とする特許請求の範囲第1項に記載のステーション。

（7）第6の手段は：

第3の手段から抜出されたメッセージを示す情報を記憶するための第10の手段（たとえば 143）；

を含み、また第7の手段は：

第3の手段内に記憶されているメッセージを第3の手段から抜出すための第11の手段（たとえば 1504、1515、第19図）と；

抜出されたメッセージは第1のタイプの条件により影響されるか否かを判定するための第12の手段（たとえば 1514）と；および

抜出されたメッセージが第1のタイプの条件により影響されないと判定されたら抜出されたメッセージを示す情報を第10の手段内に選択的に記憶し、またさらに抜出されたメッセージが第1のタイプの条件により影響されると判定されたら抜出されたメッセージを放棄するための第14の手段

の手段（たとえば 1504、1514、1515、第19図）と；および

第7の手段と協働し、応答されたメッセージが第1のタイプの条件により影響されないと判定されたら第2の優先順位に応じて第1の手段が媒体アクセスを探索するように行わせかつ第2の手段が抜出されたメッセージの肯定応答を有する第2のタイプのメッセージを第2のステーションに伝送するように行わせ、またさらに応答されたメッセージが第1の条件により影響されると判定されたら第2の優先順位に応じて第1の手段が媒体アクセスを探索するように行わせかつ第2の手段が第3の手段内に記憶されている第2のステーションからのメッセージの否定応答を有する第2のタイプのメッセージを第2のステーションに送るように行わせるための第8の手段（たとえば 1502、1532、1545、1547）と；

を含み、また第5の手段は：

第4の手段により記憶されかつメッセージの否定応答を有するメッセージに応答して否定応答メ

（たとえば第19図）と；

を含むことを特徴とする第6項に記載のステーション。

（8）第5の手段は：

各々他のステーションの異なる第10の手段と結合され、付属の第8の手段へ第2の手段により伝送されるメッセージを示す情報を記憶するための複数の第15の手段（たとえば 142）；

を含み、第9の手段は：

第4の手段によるメッセージの記憶に応答していざれの応答タイプがそれにより保有されているかを判定するために、記憶されているメッセージを第4の手段から抜出すための第16の手段（たとえば 621-623）と；および

第18の手段と協働し、応答が肯定応答であると判定されたら第4の手段から抜出されたメッセージにより応答されたメッセージを示す情報を第15の手段から抹消し、また応答が否定応答であると判定されたら、第4の手段から抜出されたメッセージにより応答されたメッセージを示す情報を記

憶する第15の手段により記憶された情報によって示されるメッセージの伝送を送らせるための第17の手段 (たとえば 624、 625) と；
を含むことを特徴とする特許請求の範囲第6項に記載のステーション。

(9) 第5の手段は、各々通信系の複数のステーションの他のステーションに伸長する異なる論理経路に結合され、付属の論理経路を介して伝送するための、各々が第1のタイプのパケットを形成するエントリ (たとえば 317) を記憶するための複数の出力キュー (待ち行列) (たとえば 144) を含み；

第6の手段は、各々通信系の複数のステーションの他のステーションに伸長する異なる論理経路に結合され、付属の論理経路を介して伝送するための、各々が第1のタイプのパケットを示すエントリ (たとえば 354) を記憶するための複数の入力キュー (たとえば 143) を含み；

第2の手段は、媒体上へ伝送するためのパケットをバッファするための第1のメモリ手段 (たとえ

ば 921) を含み；

第3の手段は、媒体上で受取られる第1のタイプのパケットをバッファするための第2のメモリ手段 (たとえば 923) を含み；

第4の手段は、媒体上で受取られる第2のタイプのパケットをバッファするための第3のメモリ手段 (たとえば 918) を含み；

第5の手段は、出力キューのエントリで形成されるパケットを第1のメモリ手段内に記憶しかつ出力キューの付属の論理経路を識別するための第7の手段 (たとえば大8図ないし大1図) をさらに含み；

第1の手段は、第1のタイプのパケットの第1のメモリ手段内への記憶に応答してそのステーションに付属の第1の優先順位に応じて媒体へのアクセスの取合いをなし、またさらに第2のタイプのパケットの第1のメモリ手段への記憶に応答してそのステーションに付属しかつ第1の優先順位より高位の大2の優先順位に応じて媒体へのアクセスの取合いをするための第8の手段 (たとえば

1211、 1212、 1214； 1301-1305および1314) を含み；

第2の手段は、第2の作業手段による媒体へのアクセスの成立に応答して第1のメモリ手段内に記憶されているパケットを媒体上に伝送するための第9の手段 (たとえば1214； 1306-1308) をさらに含み；

第3の手段は、媒体上での第1のタイプのパケットの受取りに応答して受取られたパケットを第2のメモリ手段内に記憶し、また媒体上での第2のタイプのパケットの受取りに応答して受取られたパケットを第3のメモリ手段内に記憶するための第10の手段 (たとえば1214； 1410-1412) をさらに含み； および

大6の手段は、受取られたパケットを第2のメモリ手段から抜出し、抜出されたパケットに応答して抜出されたパケットにより識別された論理経路に付属の入力キュー内において抜出されたパケットを示すエントリを形成するための第11の手段 (たとえば第18図ないし第20図) と、 および

第11の手段と協働し、抜出されたパケットに応答する第2のタイプのパケットを第1のメモリに記憶するための第12の手段 (たとえば1502、 1532、 1545-1547、 第21図) と、 を含む；

ことを特徴とする、媒体が複数の論理通信経路 (たとえば 200、 201) を形成することを特徴とする特許請求の範囲第1項記載のステーション。

(10) 第11の手段は；

抜出されたパケットが第1の条件の発生により影響されるか否かを判定するための第13の手段 (たとえば1514) と； および

第13の手段と協働し、抜出されたパケットが第1の条件の発生により影響されないと判定されたら抜出されたパケットにより識別された論理経路に付属の入力キュー内に抜出されたパケットを定義する1エントリを記憶し、また抜出されたパケットが第1の条件の発生により影響されると判定されたら抜出されたパケットを放棄するための第14の手段 (たとえば第19図) と；

を含み、第12の手段は：

第13手段と協働し、抜出されたパケットが第1の条件の発生により影響されないと判定されたら抜出されたパケットの肯定応答を保有する第2のタイプのパケットを第1のメモリ手段内に記憶し、また抜出されたパケットが第1の条件の発生により影響されると判定されたら抜出されたパケットの否定応答を保有する第2のタイプのパケットを第1のメモリ手段内に記憶するための第15の手段（たとえば1532、1545-1547、第21図）；を含み、第5の手段は：

抜出されるパケットが肯定応答を保有するならば受取られた第2のタイプのパケットを第3のメモリ手段から抜出しつつ抜出されたパケットに応答して第1のタイプの肯定応答パケットを定義する1エントリを出力キューから抹消し、またさらに抜出されるパケットが否定応答を保有するならば、抜出されたパケットに応答して出力キューのエントリにより形成されたパケットの伝送を遅らせるための第16の手段（たとえば622-625）；

の第1の優先順位と第2の優先順位とのうちの第2の優先順位に従って第2のステーションから媒体へのアクセスを探索すること（たとえば1301-1305、1314、第21図）；

（e）媒体へのアクセスが成立した後、第2のタイプのメッセージを第2のステーションから媒体を介して第1のステーションへ伝送すること（たとえば1306-1308、第18図ないし第21図）；

および

（f）第1のタイプのメッセージを受取るための第1の記憶手段（たとえば923）と第2のタイプのメッセージを分離して受取るための第2の記憶手段（たとえば918）とを有する第1のステーションにおいて、伝送された第2のタイプのメッセージを第2の記憶手段（たとえば918）内に受取ること（たとえば第8図ないし第11図および第17図）；

のステップからなることを特徴とする、通信媒体（たとえば150）に結合され、各々第1および第2のタイプのメッセージを伝送したり受取った

を含むことを特徴とする特許請求の範囲第9項記載のステーション。

（11）（a）第1のステーションに付属の第1の優先順位とそれより高位の第2の優先順位とのうちの第1の優先順位に従って第1のステーションから媒体へのアクセスを探索すること（たとえば1301-1305、第9図ないし第10図）；

（b）媒体へのアクセスが成立した後に第1のタイプのメッセージを第1のステーションから媒体を介して第2のステーションへ伝送すること（たとえば1306-1308、第10図）；

（c）第1のタイプのメッセージを受取るための第1の記憶手段（たとえば923）と第2のタイプのメッセージを分離して受取るための第2の記憶手段（たとえば918）とを有する第2のステーションにおいて、伝送された第1のタイプのメッセージを第1の記憶手段（たとえば923）内に受取ること（たとえば第17図および第19図）；

（d）第1のタイプのメッセージの受取りに応答して、第2のステーションに付属された低位

りするための複数のステーション（たとえば101）間の通信方法。

（12）（e）のステップは：

（g）第2のステーションの第1の記憶手段により受取られたメッセージは第1のタイプの条件により影響されるか否かを判定すること（たとえば1514）、

（h）受取られたメッセージが影響されるというステップ（g）の判定に応答して第2のステーションにおいてこの影響されるメッセージを抹消すること（たとえば1530）、

（i）媒体へのアクセスが成立した後、受取られたメッセージが第1のタイプの条件により影響されないと判定されたら受取られた第1のタイプのメッセージの肯定応答を保有する第2のタイプのメッセージを第2のステーションから第1のステーションへ伝送すること（たとえば1545、1547、第21図）、および

（j）媒体へのアクセスが成立した後、受取られたメッセージが第1のタイプの条件により影

響されると判定されたら受取られた第1のタイプのメッセージの否定応答を保有する第2のタイプのメッセージを第2のステーションから第1の伝送すること（たとえば1532、第21図）、を含み；またステップ（f）は：

（k）否定応答を保有する第2のタイプのメッセージの受取りに応答して、否定応答伝送されたメッセージを第2のステーションに再伝送するために第1のステーションにおいてステップ（a）および（b）を反復すること（たとえば第8図ないし第11図②）；

を含むことを特徴とする特許請求の範囲第11項に記載の方法。

（13）ステップ（a）は、

第1のステーションの第1の記憶手段（たとえば921）において複数の出力キューのうちの1つの出力キュー（たとえば144）のエントリからの第1のタイプのパケットを形成すること（たとえば第9図ないし第10図）、ここでエントリを記憶するための各出力キューは各々付属の論理経路を

受取られたパケットにより識別された論理経路に付属の入力キュー（たとえば143）内に第2の記憶手段内に受取られた第1のタイプのパケットを示すエントリを形成すること（たとえば第19図）、ここで入力キューは各々他のステーションの出力キューから第2のステーションに伸長する異なる通信経路に付属する複数の入力キューからなり、各入力キューは付属の論理経路を介して受取られた第1のタイプのパケットを示す各エントリを記憶するためのものである、を含み；

ステップ（d）は：

第2の記憶手段内に受取られた第1のタイプのパケットに肯定応答する第2のタイプのパケットを第2のステーションの第1の記憶手段内に形成すること（たとえば第21図）、および

第1の記憶手段内におけるパケットの形成に応答して、第2のステーションに付属の低位の第1の優先順位および第2の優先順位のうちの第2の優先順位に従って第2のステーションにおいて媒体へのアクセスを探索すること（たとえば1301-

介して伝送するための第1のタイプのパケットを定義し、またパケットはキューに付属の論理経路を識別するものであり、および第1の記憶手段におけるパケットの形成に応答して、第1のステーションに付属の第1の優先順位と高位の第2の優先順位とのうちの第1の優先順位に従って第1のステーションにおいて媒体へのアクセスを探索すること（たとえば1301ないし1305、1314）、を含み；ステップ（b）は：

媒体へのアクセスが成立後、形成されたパケットを第1のステーションから媒体を介して第2のステーションへ伝送すること（たとえば1306ないし1308）、を含み；

ステップ（c.）は：

第1のタイプのパケットを受取るための第2の記憶手段と第2のタイプのパケットを分離して受取るための第3の記憶手段とを有する第2のステーションにおいて伝送された第1のタイプのパケットを第2の記憶手段（たとえば第17図）、および

1305、1314）；

ステップ（e）は：

媒体へのアクセスが成立した後、形成されたパケットを第1の記憶手段から媒体を介して第1のステーションに伝送すること（たとえば1306-1308）を含み、および

ステップ（f）は：

第1のタイプのパケットを分離して受取るための第2の記憶手段と第2のタイプのパケットを受取るための第3の記憶手段とを有する第1のステーションにおいて、伝送された第2のタイプのパケットを第3の記憶手段（たとえば918）内に受取ること（たとえば第17図）、および

第2のタイプのパケットの受取りに応答して、第1のタイプの肯定応答パケットを示すエントリを出力キューから抹消すること（たとえば第10図ないし第11図）、を含む；

ことを特徴とする、複数のステーションが記憶手段（たとえば918、921、923）と入出力キュー（たとえば143、144）とを有し、また通信媒

体は複数の論理通信経路（たとえば 200、201）を形成するところの特許請求の範囲第11項に記載の方法。

3. 発明の詳細な説明

（発明の背景）

【発明の属する技術分野】

本発明は一般的にはプロセッサ間の通信に関し、とくにはこのような通信のプロトコル（通信規約）に関する。

多重プロセッサ計算機システムにおいては、システム業務遂行時に複数のプロセッサが相互に協働する。協働は情報の交換を含む；したがって、プロセッサ・アクティビティのかなりの部分はプロセッサ間の通信からなる。通信が実行されるときの速度および効率はシステムの性能に直接かつ大きな影響を及ぼす。したがって、あるプロセッサから他のプロセッサへ通信を伝送してから返り応答を受取るまでに必要な経過時間である待ち時間は、できるだけ短くしなければならない。

【従来技術の説明】

また他の通信への応答も「負担している」。この効果は、応答に遅れが出るためにこの場合もやはり待ち時間の問題を悪化させている。したがって要約すると、この技術の問題点は待ち時間を最小にする最適化通信プロトコルがないことである。

（発明の概要）

本発明は以上の種々の問題および従来技術の欠点を解決することを目的とする。本発明によれば、通信媒体とこの媒体に通信結合された複数のステーションとからなる通信システムにおいて、各ステーションには媒体へのアクセスを探索するための二つの優先順位（プライオリティ）、すなわちレギュラ・タイプのメッセージを伝送するための低位の優先順位と肯定応答タイプの「クイック」メッセージを伝送するための好意の優先順位とが割当てられている。この構成においては肯定応答は最優先の優先順位を有し、したがって遅れは最小となりこれにより待ち時間は最小となる。実施例によると、一「クイック」メッセージかまたは

代表的な既存のプロトコルは待ち時間を最小にするものでない。たとえば現在最もよく使用されている大抵の通信プロトコルにおいては、通信されるデータは複数のプロトコル層を介して伝送される。データは、プロトコル層を上昇および下降するときに何回も変換される。各変換はプロトコルのオーバーヘッドに加えられて待ち時間を増大しつつスループットを低減する。他の例として、既存の大抵のプロトコルは広範囲かつ複雑なエラー回復方式と緩速の通信応答手順とを含み、これにより通信が失われたり伝送中に加工されたりすることもある。エラー回復方式を実行するためのコストを節減するために、代表的なプロトコルはこれをソフトウェア内で実行する。この方式の複雑さはソフトウェア実行の緩慢さと組合わざってプロトコルのオーバーヘッドに付加されて待ち時間を増大しこれによりスループットが犠牲にされる。肯定応答手順の実行に要する費用を節約するために、代表的なプロトコルは複数の通信に応答を出すことが可能なシングル応答方式を使用し、

その他の信号か一についてのレギュラ・メッセージの応答は、各レギュラー、パケットの伝送中または伝送後に、受取側ステーションから送出メッセージへ返されてくる。したがって応答は「負担すべき」他の通信を待つ必要もなく、複数の応答を单一の通信に保存し「集約した」ものでもない。むしろ応答はできるだけ迅速に返されてくるのでこれにより待ち時間を最小にできることは好ましい。さらに本発明によれば、受取側ステーションにおいて、肯定応答保有「クイック」メッセージはレギュラ・メッセージとは分離してバッファされ、受取られて作業領域に記憶される。したがって、「クイック」メッセージは受取り側ステーションにおいて他の到着レギュラ・メッセージとは独立にアクセスされて処理され、このとき「クイック」メッセージがアクセスされる前に「クイック」メッセージより先にバッファされたすべてのレギュラ・メッセージを（たとえば代表的な先入れ先出しバッファ装置におけるように）処理する必要がないので有利である。このように

肯定応答に対しては他の通信に優先する優先順位が与えられてできるだけ迅速な処理が可能なので、これにより待ち時間は最小になる。肯定応答は転送データの正確さの逐次確認を行う役をなす。実施例によれば、高低応答は2つの別個の機構により行われ、両方ともできるだけ迅速に肯定応答を与えるように最適化される。メッセージが受取られている間に、エラー条件がないか、または受取りバッファはオーバーフローしていないかがモニタされる。いずれかが発生すると、媒体コントロールがリリーズされる前に送出ステーションに直ちに否定応答(R N A C K)信号が送り返される。したがって、受取りステーションは否定応答信号を出す前に媒体アクセスの取合いをする必要はない。メッセージの受取り中にもし否定応答信号が送られないならば、受取られたメッセージの処理中に前記の「クイック」メッセージ機構により肯定応答または否定応答が与えられる。「クイック」メッセージ機構は前記のように待ち時間を最小にするばかりではなく、メッセージが受取

られてからそれが処理されるまでの間は媒体を他の通信伝送に自由に開放することにより、他の「クイック」メッセージを含めて「他の」通信の待ち時間も最小にするので有利である。

さらに本発明によれば、レギュラ・メッセージ用に入力キュー(待ち行列)と出力キューとが設けられる。キューは送出しメッセージおよび受取りメッセージの順序を維持する単純な機構の役をなす。論理チャンネル付きでユーザ・キューが設けられる。チャネル付き入力キューは、受取られたパケットに含まれるデータを、実施例ではステーションの主メモリに配置された最終行先への移動を可能とし、受取られるデータをその空き時間に要求する通信エンティティの作業を妨害したりその作業を待つ必要がないので有利である。チャンネル付き出力キューは、各通信エンティティに出力キューへの出力要求を非同期式に出すことを可能とし、他の通信エンティティや通信制御機構を妨害することもないので有利である。

入出力キューのエントリはパケットを保有せず

単にパケットの代表値のみを保有する。とくにパケットにより通信を受けるユーザ・データは他の場所・実施例ではステーションの主メモリ内に記憶され、エントリはデータに対するポインタを記憶するにすぎない。伝送用のパケットは出しバッファ内にまとめられるのみで、パケットはここから直接媒体上へ伝送され、受取りバッファにより受取られたパケットは受取りバッファから読み取られた後は直ちに取除かれる。したがって、プロトコル層間のデータの転換および複写が省かれるので有利であり、またこれにより待ち時間は短縮される。

複雑なエラー回復方式も省かれる。たとえばバリティ・エラー、受取りバッファのオーバーフロー、および入力キュー・フル条件などの好ましくない条件により影響されることが判明した受取りメッセージは受取側ステーションで単に放棄され、否定応答「クイック」メッセージすなわちR N A C K信号によりおくり出しステーションから再伝送するように指示される。この単純な方式により

他のエラー回復方式による複雑さおよび面倒さは回避され、したがってこの方式は通信の待ち時間の短縮にも有効である。この方式は、待ち時間の点からも故障回数を少なくし再伝送オーバーヘッドを小さくするのには最適である。

特許請求の範囲に記載のように、本発明は前記の特徴を有する系のためのステーションとこの系における通信方法とに関する。概要的には、本発明によれば、ステーションはステーションに付属の2つの優先順位に従って通信媒体へのアクセスを探索するためたとえばアービタのような第1の装置と、および媒体上で他のステーションから受取られた2つのタイプのメッセージ(実施例ではレギュラーへおよび「クイック」メッセージ・パケット)用の別々の記憶装置(実施例では受取りF I F Oおよび「クイック」メッセージ・レジスタ)とを含む。第2の装置(実施例では送出側ステーションの制御装置)は第1の装置によるアクセス探求の成立に応答して媒体を介して他のステーションにいずれかのタイプのメッセージを伝

送する。第3の装置（実施例ではMSBIユニットの出力処理部分）は、低位の優先順位に従って第1の装置が媒体アクセスを探索することを行わせかつ第2の装置が一つのタイプ（実施例ではレギュラ・タイプ）のメッセージを伝送することを行わせる。第4の装置（実施例ではMSBIユニットの入力処理部分）は、第2のステーションから受取られかつレギュラ・メッセージ用記憶装置（受取り FIFO）内に記憶されたメッセージに応答して、高位の優先順位に従って第1の装置が媒体アクセスを探索することを行わせかつ第2の装置が他のタイプ（実施例では「クイック」メッセージ）のメッセージを伝送することを行わせる。

第5の装置（実施例では受取側ステーションの制御装置内に含まれる）は、レギュラ・メッセージ用の記憶装置（受取り FIFO）が第1のタイプの条件（実施例ではバリティエラーまたは受取り FIFO のオーバーフロー）により影響されるか否かを判定するので好ましい。もし影響されるならば第6の装置（実施例では同様に制御装置

内に含まれる）が媒体上に信号（実施例では R NACK）を送る。影響を受けたメッセージは結局放棄される。第7の装置（実施例ではMSBIユニットの入力処理部分に含まれる）は、媒体上における信号の受取りに応答して、このステーションから伝送されたメッセージを、この信号が受取られたときに再伝送させる。

またステーションは、受取られたレギュラ・メッセージ用記憶装置（受取り FIFO）から抜取出されたメッセージを表す情報用の記憶装置（実施例では入力キュー）を含むので好ましい。ある装置（実施例ではMSBIユニットの入力処理部分）は、受取られたレギュラ・メッセージ用記憶装置から抜取出されたメッセージが第2のタイプの条件（実施例ではバリティエラー・記憶装置のオーバーフロー、または入力キュー・フル）により影響されるか否かを判定する。もし影響されるならば、メッセージは放棄され、またもし第6の装置（受取側ステーション制御装置）がメッセージの受取り中に何も信号を送らなかったならば、

第4の装置に否定応答を保有する「クイック」メッセージが送られてくる。もしメッセージが第2のタイプの条件により影響されないならば、ある装置（MSBI入力処理部分）はメッセージ表示情報用の記憶装置（入力キュー）内にメッセージを表示し、また第4の装置に肯定応答を保有する「クイック」メッセージが送られてくる。

否定応答「クイック」メッセージが受取られると、その結果応答されたメッセージが再伝送される。実施例によるとステーションは複数の出力キューを有し、各出力キューは他のステーションの入力キューに伸長する異なる論理通信経路に接続されている。各出力キューは、付属の論理経路を介して経路の他端にある入力キューに伝送するための、レギュラ・パケットを定義する各エントリを記憶する。第2の装置（送出側ステーション制御装置）により伝送されたレギュラ・メッセージはこれらのエントリにより形成され、付属の論理経路を識別する（実施例ではその経路のポートを識別することによる）。実施例において、受取ら

れた「クイック」メッセージは応答されたレギュラ・メッセージの特定の論理通信経路を識別する。否定応答が受取られるとその結果、応答パケットのエントリを含む出力キュー（その特定の論理通信経路に対応する）のエントリからのパケットの形成および伝送は一時停止される。肯定応答が受取られるとその結果、応答パケットを示すエントリは出力キューから抹消される。

概要的には、本発明によれば、複数の前記ステーション間の通信方法は下記のステップを有する。第1のステーションはそのステーションに付属の低位の第1の優先順位にしたがって媒体へのアクセスを探索し、アクセスが成立した後に第1のタイプのメッセージを媒体を介して第2のステーションへ伝送する。第2のステーションは伝送されたメッセージを第1のタイプのメッセージ用記憶装置内に受取り、そのメッセージに応答してそのステーションに付属の高位の第2の優先順位に従って媒体へのアクセスを探索し、第2のタイプのメッセージを媒体を介して第1のステーションへ

伝送する。第1のステーションはそのメッセージを第2のタイプのメッセージ用の記憶装置内に受取る。さらに、もし第2のタイプのメッセージが否定応答を保有するメッセージであるならばこれにより応答を受けた第1のタイプのメッセージは第2のステーションで放棄され、したがって第1のステーションは…実施例では第2のステーションから受取られる他のメッセージに統いて…第1のタイプのメッセージを第2のステーションに再伝送するために最初の二つのステップを反復する。

概要的に示したステーションおよびその方法、ならびに前記および特許請求の範囲に示されたそれらの詳細は当初に与えた特徴の中に列記された利点を提供している。本発明のこれらの種々の利点ならびに長所は、本発明の具体的な実施例に関する図を用いた説明からより明らかになるのである。

(実施例の説明)

[システム構成]

第1図は本発明の実施例を実行する多重プロセ

ッサ系を示す。多重プロセッサは複数のプロセッサ101を含み、これらのプロセッサはこの実施例では同一のものを考えているが必ずしも同一である必要はない。プロセッサ101はバス150を介して相互間通信が可能なように結合される。各プロセッサ101はそれ自身のバス・インターフェース回路(B I C)110を介してバス150に結合される。第1図に説明用にただ2台のプロセッサ101しか図示されていないが、たとえば10台を超える多数のプロセッサ101がバス150に結合されかつ前記のようにバス150へのインターフェースとしてそれ用のB I G 110を用いてもよい。プロセッサ101は、たとえばWE 32100単一ボード・コンピュータ、Motorola 68000 単一ポート・コンピュータ、AT&T 3B15コンピュータ、またはB I C 110のような回路を介してバス150に結合可能なその他のいずれのコンピュータのように異なるコンピュータでもよく、またそれが何台でもよい。バス150はこの実施例においてはたとえば、IEEE Journal on Selected Areas of Communication

Vol.SAC-1、No.5 (Nov.1988) の雑誌内のS.R. Ahujaによる「S/NET : A High-Speed Interconnect for Multiple Computers(多重コンピュータ用高速中間結合器 : S/NET)」という文献に記載のような高速パケット・バスである。

各プロセッサ101は中央処理装置(CPU)および主記憶メモリ(図示なし)を含む。CPUおよびメモリは、オペレーティング・システムおよびアプリケーション・プロセス、以下一般にユーザ・プロセス140と呼ぶ、を実行しつつ記憶する。あるプロセッサ101のユーザ・プロセス140はB I C 110のバッファ147を介して他のプロセッサ101のユーザ・プロセス140と通信連絡をする。しかしながらプロセス140はバッファ147と直接アクセスを有さず、プロセッサ101のメモリ内に設けられたキュー(待ち行列)構造145を介した間接アクセスのみを有する。

プロセス140は、キュー構造145を直接アクセスしてもよく、または共通のインターフェース・ファシリティ141を介して間接アクセスしてもよ

い。実施例では、ファシリティ141はデバイス・ドライバとしてプロセッサ101上に設けられる。

一方キュー構造145は、主記憶装置-B I C インターフェース(M S B I)146を介してB I C 110のバッファ147に結合される。M S B I 146は、デバイス・ドライバとしてプロセッサ101上に設けてもよく、またはプロセッサ101とは独立のハードウェア・ユニットとして設けてもよい。

前記構造は、連係層10と、パケット層11と、およびユーザ層12とからなる三層通信プロトコルを形成する。バス150とB I C 110とで形成される連係層10は、プロセッサ101を物理的に相互結合する。この層は送出しプロセッサ110と受取りプロセッサ110との間の単純な先入れ先出しパイプである。これは、すべての情報が他端に首尾よく受取られることは保証しない。M S B I 146と、キュー構造145と、およびインターフェース・ファシリティ141とから形成されるパケット層は、すべての情報が正確に送出側プロセッサ101のメモリから受取側プロセッサ101のメモリに伝送さ

れることは保証しない。それは、送出側ユーザ・プロセス 140と受取り側ユーザ・プロセス 140との間の信頼性のある一方向仮想通信チャネルを提供する。またユーザ・プロセス 140で形成されるユーザ層12は通信データの生産者または消費者である。実施例では、層12はA T & TのU N I X オペレーティング・システムと第1図の多重プロセッサに適用可能なすべてのプロセスとからなる。

[パケット層]

キュー構造 145は、ユーザ・プロセス 140がそれを介して他のプロセッサ 101から通信を受取るところの複数の入力キュー 143と、ユーザ・プロセス 140がそれを介して他のプロセッサ 101に通信を送出すところの複数の出力キュー 144とを含む。M S B I 146が分離型ハードウェア・ユニットの場合はキュー構造 145はまた応答キュー 142も含む。M S B I 146はキュー 142を利用してインターフェース・ファシリティ 141へ通信を送出す。

き出力キューを有することにより、他のプロセス 140またはM S B I 146を妨害することなく、各ユーザ・プロセス 140を介してその出力キューに非同期式に作業を行わせることを可能とする。関連するエントリを私有キュー内に固定順序でグループ化することにより、送出側プロセスと受取側プロセスとの間の一致不良は、送出側M S B I 146が「入力キュー・フル」または「受取りバッファ・オーバーフロー」の指示（後述する）を受取ったときに、特定出力キュー内の残りのすべての出力キュー・エントリからの送出しを遅らせるこにより容易に処理される。

2つのプロセッサ 140間の二重チャネル（二方向プロセッサ間通信連係） 201は2つの逆方向单一チャネル 200を含む。各二重チャネル 201は、プロセッサ 101上で、二重チャネルの構成单一チャネル 200の入力キュー 143と出力キュー 144とを含むポート 202で終端する。

キュー構造 145を第3図ないし第5図にさらに詳細に示す。各ポート 202はそれに付属してポー

ト構造 380を有する。ポート構造 380は、付属ポート 202の出力キュー 144の見出し（ヘッダ） 340を指示する出力キュー・ポインタ 381と、付属ポート 202の入力キュー 143の見出し 341を指示する入力キュー・ポインタ 382とを含む。エントリ 381、382が協働してポート 202を構成する。

キュー構造 145はブートストラップ時にシステムにより形成される。しかしながら、ユーザの非同期式チャネルの入力キューおよび出力キューは、ポートが実際にチャネルの割当てられるときにのみ割当てられかつ連係される。

ポート構造 380はまた、ポインタ 381により指示される出力キュー 144にロードされる次のパケットのトグル・ビット値を指定する出力キュー・トグル 383と、ポインタ 382により指示される入力キュー 143にロードされる次に受取られるパケットのトグル・ビットの予想値を指定する入力キュー・トグル 384とを含む。トグル 383、384は「ユーザ非同期式」チャネル 201に対し1ビットと、「カーネル同期式」および「カーネル並行

期式」チャンネル 201に対し各プロセッサ 101に対する1ビットを含めて複数ビットと、を含む（前記チャンネルタイプについてはさらに以下で説明する）。トグル 383、384はポート 202に付属の単一チャンネル 200上を流れるデータの一体性を維持するのに使用される。単一チャンネル 200を介して順次に伝送されるパケットのトグル・ビットの値は入替わる；もし順次に受取られるパケットのトグル・ビット値が入替らないならば、これは、伝送中の応答パケットのロスのようなエラーの指示である。

ポート構造 380はまた、ポート 202が付属するチャンネル・タイプ、すなわちカーネル同期式、カーネル非同期式またはユーザ非同期式を指定するチャンネル・タイプ・インディケータ 385を含む。構造 380はさらに、付属の二重チャンネル 201の他端におけるポート 202を識別する他ポート I D 386を含む。もしインディケータ 385が付属チャンネル 201をユーザ非同期式として識別したら、他ポート I D 386は他ポートの I Dを保有し、

これにより他のポートを直接識別する。もしインディケータ 385が付属チャンネルをカーネル・チャンネルとして識別したら、他ポート I D 386は、各プロセッサ 101上の他ポートを指示するアレー（図示なし）を指示することにより直接他のポートを識別する。構造 380はまた、付属ポート 202のステータス（状態）；すなわち、チャンネル 201に割当て；他ポート 202に接続；切断、すなわち相手先プロセッサが作動中止；フリー、すなわち使用されていない；または「ゾンビ（zombie：とんま）」を示す。「ゾンビ」ポートは、それに對しフリー・ステータスが好ましいがそれに付属の出力キュー 144が空きではないのでポートはフリーになりえないようなポートである。出力キュー 144には項目 301-308からなる出力キュー制御構造 300が付属される。カーネル同期式出力キュー・ポインタ 301は、ユーザ・プロセス140のうちのカーネル同期式チャンネル用のオペレーティング・システム・カーネル・プロセスにより使用されるポート 202の出力キュー 144の見出し 3

40を指示する。カーネル同期式チャンネルはプロセッサ 101のオペレーティング・システム・カーネル間のインターフェースのようなサブルーチン・コールをサポートする。カーネルが他のプロセッサにカーネル同期式リクエストを一旦出すと、丁度サブルーチンのコールおよびリターンのようにカーネルはその応答を待たなければならない。カーネルはそれがペンディング中のものを有する限り他のカーネル同期式リクエストを出すことができない。しかしながら、カーネルはそれがその応答を待っている間それが受取るいかなるカーネル同期式リクエストに対して応答を出すことが可能である。プロセッサは、そのペンディング中のリクエストが応答されるまでは新たなカーネル同期式リクエストを発生することができないのでカーネル同期式二重チャンネル 201はただ1つしかなく、したがって各プロセッサ 101上にはカーネル同期式ポート 202はただ1つしかない。同じ理由で、「入力キュー・フル」条件はカーネル同期式チャンネル 201では起こり得ない。カーネル同

期式チャンネル 201の入力キュー 143および出力キュー 144に各々、系内の各プロセッサ 101が利用可能な1データ・エントリが割付けられる。これによりプロセッサ 101は、それがカーネル同期応答を待っている間にカーネル同期式リクエストを受けることが可能になる。

出力キュー制御構造 300に戻ると、「最初の出力キュー・ポインタ」 302はポート 202の出力キュー 144の連係リスト上の最初の出力キュー 144を指示する。使用されない出力キュー 144はいかなるポート 202の部分ではなく、したがって出力キューの連係リスト上にはない。カーネル同期式以外のポート 202は「カーネル同期式」 および「カーネル非同期式」二重チャンネル 201に耐して使用される。カーネル非同期式チャンネル 201は、ユーザ層肯定応答を必要としない。プロセッサ 101のオペレーティング・システム・カーネル間のメッセージ通過型インターフェースをサポートする。これらは、直ぐの応答を待つことを望まないか、またはきわめて長いサービス時間を有す

るオペレーティング・システム・サービスを実行する。ユーザ非同期式チャンネル 201は異なるプロセス上に配置されたユーザ・プロセスの部分間のチャンネルである。

「送り出し FIFO 空き」(SFE) タイムアウト・インディケータ 303はパケットの B I C 1 10からの伝送が必要とする最大時間を支持し、肯定応答タイムアウト・インディケータ 304はパケット肯定応答を受取側プロセッサ 101から受取るために必要な最大時間を指示する。タスク・インディケータ 305は一般処理が行われるべきか否かを M S B I 146に指示し、パラメータ・インディケータ 306はその処理のパラメータを指示する。出力ペンドィング・インディケータ 307は出力キュー 144が処理されるべきエントリを有するか否かを指示するフラッグである。構造 300は特定の実行に必要なだけの他のエントリを含んでもよい。

各出力キュー 144は、包括的な情報(キュー 1 44のすべてのデータ・エントリに共通な情報)を

チェックされ、カーネル・ユーザ・プロセスがこのキュー 144上に寝込み中であった間のこのキュー 144に付属するチャンネル 201は中断されるか否かを示す。またデアロケーション機能 319は、キュー 144に割付けられた共有メモリの割付けを解除するときに使用されるメモリ割付け解除(デアロケーション)機能を指定する任意のインディケータである;もしキュー 144がインターフェース・ファシリティ 141の私有メモリから割付けられたメモリを有するならばそれは空白である。この場合も特定の実行により必要なときは見出しへ追加エントリを含めてもよい。

出力キュー 144の各データ・エントリ 317は他のプロセッサ 101に送出されるべきパケットを示しかつ定義する。データ・エントリ 317は多重語エントリである。パケット制御語(PCW) 320は、トグル・ビット・フィールド 331、パケットデータを含むメモリ内のバッファ・サイズを指定するバッファ・サイズ・フィールド 332、送出側 B I C I D フィールド 333、および出力キュー

記憶する項目 311-316および 318-319を含む見出し 340を有する。次の出力キュー・ポインタ 311が連係リスト内の次の出力キューの見出し 340を指示する。このキュー 144は一般出力キュー連係リスト上にないので、このポインタはカーネル同期式出力キュー 144に対しては空白である。スキップ・フラッグ 312は M S B I 146により操作され、M S B I 146がこの出力キューの処理を飛越すべきか否かを指示する。プロセス待機中フラッグ 313は、何かプロセスがこの出力キュー 144を待機内(「寝込み中」)であるか否かを支持する。エントリ数インディケータ 314はこのキュー上に存在するデータ・エントリの数を指示する;これはキュー割付けおよび割付け解除のために使用される。ロード・ポインタ 315は送出するパケットをロードするのに利用可能な次のデータ・エントリ 317を指示する。またアンロード・ポインタ 318は送出されるべき次のデータ・エントリ 317を支持する。中断(aborted) フラッグ 319はオペレーティング・システム・カーネルにより周期的に

144内で空きであるフィールド 334を含む。(パケット内では、フィールド 334はクイック・メッセージ・シーケンス番号を含む。) バッファ・アドレス語 321はバッファの開始アドレスを指定する。相手先ポート I D 後 322は相手先プロセッサ 101上の相手先ポート 202の I D を指定する。また B I C 制御語 323はとくに相手先プロセッサ 101を指定する B I C 110用の制御語である。実施例ではエントリ 317は4つのユーザ制御語 324-327を含み、そのうちの1つはオペレーティング・システム・カーネルによりパケット・タイプを指定するためにフラッグとして使用され、他の3つはユーザ指定である。

データ・エントリは相互間および見出し 340と物理的に隣接している必要はない。実施例ではデータ・エントリ 317は循環連係リストとして実行される。この場合に見出し 340もまたキューの最初のエントリ 317を示すポインタを含み、各エントリ 317は連係リスト上の次のエントリ 317を示すポインタを含む。

各入力キュー 143は、包括的な情報を有する項目 348-353および 356-358を含む見出し 341を有する。入力キュー・フル・フラッグ 348はキューが充満していると見なされるか否かを指示する。低位マーク 349は、充満されたキューがもはや充満とはみなされなくなるまでにいくつのエントリ 354が解放されなければならないかを指示する。プロセス待機中フラッグ 350は、プロセス 140がこの入力キュー 143を待機中であるか否かを指示する。エントリ数 351はキュー 143上に存在するデータ・エントリ 354の数を指示する。ロード・ポインタ 352ははいってくるパケットで満たされるべく利用可能な次のデータ・エントリ 354を指示する。またアンロード・ポインタ 353はユーザ 140に返される最終データ・エントリ 354を指示する。中断フラッグ 356は出力キュー 144の中止フラッグ 318に相当する入力キューのフラッグである。アロケーション・フラッグ 357は、キュー 143に割付けられたメモリはインターフェース・ファシリティ 141の私有空間からのメモリかま

たはオペレーティング・システム・カーネルにより割付けられた共有メモリかを指定する。またデータ・キュー・タイプ・インディケータ 358は、データ・エントリ 354がどのようにキュー 143から取外されるか：すなわち、割込みに応答してファンクション・コールによる同期的か；またはユーザ・プロセス 140による直接的な非同期的か、を指定する。見出しは同様に追加のエントリを含んでもよい。

データ・エントリ 354は多重語エントリである。各データ・エントリ 354は他のプロセッサ 101から受取られたパケットを示す。1つのデータ・エントリ 354は、受取られたパケットから得られたパケット制御語 320と、パケットを介して受取られたデータが記憶されているバッファの最初のメモリ内のアドレスを指定するバッファ・アドレス語 355と、を含む。データ・エントリ 354は実施例では、受取られたパケットから得られた4つのユーザ制御語 324-327をも含む。

出力キュー・データ・エントリ 317の場合と同

様にエントリ 354は物理的に隣接している必要はなく、循環連係リストとして実行可能である。この場合もまた、見出し 341はキューの最初のエントリ 354を示すポインタを含み、各エントリ 354は連係リスト上の次のエントリ 354を示すポインタを含む。

応答キュー 142は繰入れられるべき次の応答エントリ 362を示すロード・ポインタ 360と、取外される最後の応答エントリ 362を指すアンロード・ポインタ 361とを含むヘッダ 343を有する。応答エントリ 362は単一語エントリである。タグ・フラッグ 370はエントリの種類-たとえばこれは入力キューに関連するかまたは出力キューに関連するか-を識別し、これによりデータ・フィールド 371が含むデータの種類を指定する。また繰返しになるが、応答エントリ 362は見出し 343とまたは相互に隣接する必要はない。

第6図および第7図はパケットを他のプロセッサ 101に送出すときのインターフェース・ファシリティ 141の作業をフローチャートにして、構造

145の出力キュー 144の用法を示す。

パケットを他のプロセッサ 101に送出することを希望するユーザ・プロセス 140は、出力キュー 144の中の利用可能なデータ・エントリ 317を得るために、まずステップ 400でGETPコールを介してファシリティ 141を呼出す。呼出しの一部として呼出しプロセス 140はパケットを取出したいポート 202を指定する。

呼出しに応答してファシリティ 141はステップ 401で、指定された送出側ポート 202 のロードポインタ 315を得る。ファシリティ 141は指定された送出側ポート 202 のポート構造 380にアクセスすることによりそこから出力キュー・ロード・ポインタ 381を得、次にポインタ 381により指示された出力キュー 144の見出し 340をアクセスしてロード・ポテンタ 315を得る。インターフェース・ファシリティ 141は次にテップ 402で、キューのロードポインタ 315とアンロード・ポインタ 316とを比較することにより、この出力キュー 144上で空きのデータ・エントリ 317が利用可能であ

るか否かをチェックする。もし両ポインタが等しくなければエントリ 317は利用可能で、ファシリティ 141はステップ 409で、ユーザ・プロセス 140を呼出すためにロード・ポインタ 315をリターンする。

もしロード・ポインタ 315とアンロード・ポインタ 316とが等しければ、出力キュー 144は充満している。したがってファシリティ 141はステップ 403でプロセス待機中フラッグ 313をセットしてプロセス 140がこのキューを待機中であることを指示する。次にファシリティ 141はステップ 404でアンロード・ポインタ 316の値をチェックして、ステップ 402でのチェック以後その値が変わったかどうかを判定する。値の変化はデータ・エントリ 317に空きができたことを示し、したがってファシリティ 141はステップ 405で、プロセス待機中フラッグ 313をクリヤして、ステップ 401に戻る。

もしアンロード・ポインタ 316が変化しなかつたならば、出力キュー 144はまだ充満のままであ

セスは呼び起される。寝込みプロセスを呼び起してそのプロセスの実行を再開するときに、プロセスが寝込まれたときのプロセス状態が回復される。この活動はステップ 408でインターフェース・ファシリティ 141の実行を再開させ、ファシリティ 141はステップ 401に戻ってデータ・エントリ 317の利用が可能かどうかを再びチェックする。

インターフェース・ファシリティ 141はステップで 409で、出力キュー ロードポインタ 315を戻してプロセス 140を呼び出すと、プロセス 140は B I C 内に制御語 323およびユーザ語 324-327を入れる。ユーザ同期式チャンネルのデータ・エントリ 317の語 320のフィールド 331および語 322 323、またカーネル同期式または非同期式チャンネルの語 320のフィールド 333は、出力キュー 144が割付けされたときに入れられている。もし語 321で指示されるようなデフォルト・バッファの使用を望まないならば、プロセス 140はまた他のバッファを指示するように語 321を変えてよい。

る。したがってファシリティ 141はステップ 406で、通常の U N I X システムの方法でプロセス 140にこの出力キュー 144 上で寝込むことのリクエストを出す。プロセスを寝込ませることに含まれるアクティビティは、プロセスが寝込まれるときのプロセス状態を保存すること、およびこの出力キューのアドレスに付属の寝込み中プロセス・リストにこのプロセスの I D を追記すること、を含む。インターフェース・ファシリティ 141は次にステップ 407で、他のプロセス 140への応答および他のプロセス 140からのその他の呼び出しの処理などの他の作業を継続する。

パケットを送出した結果、プロセス待機中フラッグ 313がセットされたままにある出力キュー 144から M S B I 148 が 1 つのデータ・エントリ 317を抜出したとき、M S B I 148は割込みを出す（第11図のステップ 628-829を参照）。割込みはインターフェース・ファシリティ 141で受取られ、第24図に示す方法および以下の説明のように処理される。この処理の一部として、寝込み中のプロ

セス 140は、送出したいデータを語 321で指示されたバッファ内に記憶する。次にプロセス 140は第7図のステップ 500で、W R I T E P コールを介してファシリティ 141を呼び出し、埋められたデータ・エントリ 317によって示されたパケットが送出されることをリクエストする。W R I T E P コールに付帯するパラメータは、すべてのチャンネル・タイプ用の相手先ポート I D およびカーネル・チャンネル用の相手先 B I C I D を含む。

呼び出しに応答してファシリティ 141はステップ 501で、相手先プロセッサ 101がプロセッサ間通信の目的のために活動状態とみなされるか否かをチェックする。ファシリティ 141はこれを送出側ポート 202のポート構造 380のエントリ 385をアクセスすることにより行ない、ステップ 500で呼出されることにより指定されたポート 202のチャンネル 201がユーザ・チャンネルであるかまたはカーネルチャンネルであるかを判定する。もしチャンネル 201がユーザ・チャンネルならば、ファシリティ 141はポート構造 380のステータス・

インディケータ 387をアクセスし、ポート 202が割付けまたは結合されているか否かを判定する。もしそうであれば、相手先は活動状態であるとみなされる。

もしチャンネル 201がカーネル・ポートであれば、ファシリティ 141はポート構造 380のエントリ 386により指示されたアレーをアクセスし、相手先ポート 202は相手先プロセッサ 101の中に識別されるか否かを判定する。もし相手先ポート 202が識別されないならば（たとえばそれ用に与えられた値が空白である）、相手先プロセッサ 101は活動状態ではないとみなされる。

もしステップ 501で相手先が活動状態でないと判定されたら、ファシリティ 141はステップ 507でリターンし、ユーザ・プロセス 140をリクエストしてそのことを通知する。

もし相手先が活動状態であるとみなされたら、ファシリティ 141はステップ 502で、送出側ポート 202の出力キュー 144の次に利用可能なデータ・エントリ 317をアクセスする。ファシリティ

230 I Dを語 322内に記憶し、またステップ 500で受取られた相手先プロセッサ 101のB I C 100のI Dを 323に記憶する。ファシリティ 141は語 323のビットを指示する「クイック」メッセージはセットしない。

データ・エントリはこれで完成し、ステップ 505で、ファシリティ 141は出力キュー 144のロード・ポインタ 315を進めて次の空きデータ・エントリ 317を指示する。次にステップ 506で、ファシリティ 141は、出力キュー制御構造 300の出力ベンディング・フラッグ 307をセットすることによりMSB I 146を起動して出力キュー 144を処理する。次に 507で、ファシリティ 141はリターンしてユーザ・プロセス 140をリクエストして前記アクティビティの完成を通知する。

第8図ないし第11図はパケットを他のプロセッサ 101に送出すときのMSB I 146の作業をフローチャートにしたもので、これによりキュー構造 145の出力キュー 144および応答キュー 142の用法がわかる。

141は送出側ポート 202のポート構造 380の出力キュー・ポインタ 381をアクセスしてどの出力キュー 144が送出側ポート 202に対応するかを判定し、次に、識別された出力キュー 144のロード・ポインタ 315をアクセスして次に利用可能なデータ・エントリ 317を見出し、そしてそのエントリ 317をアクセスする。

ステップ 503において、ファシリティ 141はアクセスされたデータ・エントリ 317のフィールド 331内にトグル・ビット値をセットする。ファシリティ 141は送出側ポート 202のポート構造 380のエントリ 383から固有のトグル・ビット値を得て、次にエントリ 383内のトグルビット値を変更する。

ステップ 504で、ファシリティ 141はアクセスされたデータ・エントリ 317を完成する。ファシリティ 141はたとえば語 321上でアドレス変換機能を実行する。カーネル・チャンネル出力キュー・エントリ 317に対しては、ファシリティ 141はまた、ステップ 501で判定された相手先ポート

第1図の系がステップ 597にて起動されると、MSB I 146は出力キュー制御構造 300の「受取りFIFOは空きでない」のイディケータおよび出力ベンディング・フラッグ 307のモニタを開始する。ステップ 598で、もし受取りFIFOが空きでないことがわかったら、ステップ 600でMSB I 146は受取られたパケットの処理を実行する。受取られたパケットの処理は第18図ないし第20図にフローチャートで示され。後に説明する。もし受取りFIFOが空きであるならば、ステップ 599でMSB I 146はフラッグ 307がセットされているか否かをチェックする。もしフラッグ 307がセットされていないかまたは受取られたパケットの処理が終ったら、MSB I 146はステップ 598に戻る。

ステップ 599で出力ベンディング・フラッグ 307を検知したことに応答して、ステップ 601で、MSB I 146は送出すべき出力キュー・データ・エントリ 317の探索を開始する。MSB I 146は、構造 300のポインタ 301、302および次の出力キュー

ューポインタ 311を利用して処理すべき出力キュー 144を見出す。次にMSBI 146はその出力キュー 144のエントリ 312をチェックしてこのキュー 144を飛び越すべきか否かを判定する。セットされたスキップ・フラッグ 312は、付属チャンネル 201の他端におけるポート 202の入力キューは充満していて、したがってパケットを受取ることができないことを示す。したがってステップ 602でこの出力キュー 144は送出し可能なデータ・エントリ 317を有するとはみなされない。この場合には、ステップ 603の指示のように、MSBI 146はステップ 601に戻って他の出力キュー 144を探索する。

もしスキップ・フラッグ 312がセットされていなければ、MSBI 146はポインタ 315、316を比較して、両者が等しいか否かを判定する。もし等しければ出力キュー 144は空きであり、送出すべきデータ・エントリ 317を有しない。したがってステップ 602では送出し可能なデータ・エントリ 317は見出されず、ステップ 603の指示のよう

カーネル同期式チャンネルの出力キュー 144を処理した後に、MSBI 146は構造 300に戻って出力キュー制御構造 300のポインタ 302をアクセスして出力キューの連係リスト上の最初の出力キュー 144を見出す。次にMSBI 146はこの出力キューをアクセスして、前記のようにそれを処理する。しかしながらステップ 603では、MSBI 146は連係リスト上の出力キュー 144から出力キューのポインタ 311を用いて連係リスト上で次の出力キュー 144を見つけ出す。MSBI 146は連係リスト上で前記のような方法で各出力キュー 144を処理する。

連係リスト上の最終出力キュー 144の次番出力キュー・ポインタ 311は空白エントリを有する。ステップ 603でMSBI 146がこの空白エントリ 311に遭遇したとき、それは、連係リストの最終端に到達してそれまでの送出し可能なデータエントリ 317はすべて送出したことを指示する。その業務が完了するとMSBI 146はステップ 598に戻って新たな業務を探求する。

にMSBI 146はステップ 601に戻って他の出力キュー 144を探索する。もしポインタ 315、316が等しくなければ、ステップ 602で出力キュー 144は少なくとも1つの送出し可能なデータ・エントリ 317を有し、MSBI 146はアンロード・ポインタ 316により指示されたデータ・エントリ 317をアクセスし、そのエントリにより示されるパケットをその相手先に送出す。

パケットを送出した(以下に説明)後に、MSBI 146はステップ 601に戻って送出すべき次のデータ・エントリ 317を求めてその出力キュー 144を探索し、キュー 144のすべてのエントリが送出されるまでこの処理を反復する。次にステップ 603で、MSBI 146はステップ 601に戻って他の出力キュー 144を探索する。

MSBI 146は、カーネル同期式チャンネルの出力キュー 144で出力キュー処理を開始する。ステップ 601で、MSBI 146はまず出力キュー制御構造 300のエントリ 301をアクセスし、カーネル同期式チャンネルの出力キュー 144を見出す。

MSBI 146によるパケットの送出しならびにMSBI 146によるパケットの受取りは、MSBI 146によるBIC 110のバッファ 147との直接通信を含む。したがって、パケットの送り出しに含まれるステップを説明するまえに、少し本題を離れて、第12図に示すようにバッファ 147とそのMSBI 146へのインターフェースとを考えるほうが有益である。

バッファ 147は、他のプロセッサ 101に送出されるパケットを一時的に保有するための送出し FIFO 921と;論理的には送出し FIFO 921の延長部分でありそのアドレスにはパケットの最後の語が書き込まれるところのパケット終端(EOP)・レジスタ 917と;他のプロセッサ 101から受取られたパケットを一時的に保有するための受取り FIFO 923と;他のプロセッサ 101から受取られた特定の肯定応答パケットを一時的に保有するための「クイック」メッセージ・レジスタ 918と;パケットの相手先およびタイプならびにこれらに関係のないその他の種々の機能を指定するの

に使用されるB I C制御レジスタ 913と；およびB I C 110と、F I F Oレジスタまたは「クイック」メッセージ・レジスタから読取られたりあるいはそれに書込むまれたりする最終パケットと、の両方の状態をM S B I 146に送り返すのに使用される複数のシングル・ビット・インディケータからなるステータス・レジスタ 916と；を含む。ステータス・レジスタ 916インディケータは読取られるとクリヤされるという性質を有する。

F I F Oおよびレジスタは、プロセッサ 101のメモリ・アドレス空間 901内へマップ化されている。第12図に示すように、アドレス (J) への書込みは送出しF I F O 921を書込むことになる。アドレス (J) の読み取りは受取りF I F O 923を読み取ることになる。アドレス (K) への書込みはE O Pレジスタ 917を書込むことになる。アドレス (K) の読み取りは「クイック」メッセージレジスタ 918を読み取ることになる。アドレス (L) への書込みは制御レジスタ 913に書込むことになる。またアドレス (M) の読み取りはレジスタ 916を読

ることになる。前記のアドレスは、メモリ・スペクトル内で隣接してアドレス番号が付けられる必要はない。

ここで第8図のステップ 602に戻るが、送出すべきデータ・エントリ 317を出力キュー 144内に見出すると、第9図のステップ 608でM S B I 146は、B I C 110の送出しF I F O 921に空きであるか否かをチェックする。M S B I 146は、ステータス・レジスタ 916を読み取ることおよびそのS F E (送出しF I F O空き) ビットの状態をチェックすることにより判定をする。

もし送出しF I F O 921が空きでないことがわかると、M S B I 146は出力キュー制御構造 300のインディケータ 303をアクセスしてS F Eのタイムアウト期間を求める、ステップ 609でその期間をかぞえはじめる。ステップ 610でM S B I 146は、S F Eのタイムアウト期間を数えながらステータス・レジスタ 916のS F Eビットのチェックを継続する。送出しF I F O 921が空きになるまえにもし期間がタイムアウトしたならば、これは

B I C 110のトラブル発生を意味する。したがってM S B I 146はステップ 619でB I C 110をリセットしてそれを初期化する。次にM S B I 146は応答キュー 142を介してトラブルをインターフェース・ファシリティ 141に通知する。ステップ 604で、M S B I 146は応答キュー 142内でロード・ポインタ 360により指示された応答エントリにアクセスし、タグ・フィールド 370をセットしてエラー状態を識別し、データ・フィールド 371内にエラー状態により影響されるキュー 144の識別ラベルを記憶する。次にステップ 605でM S B I 146はロードポインタ 360を進めて、次の自由な応答エントリ 362を指示し、ステップ 606でプロセッサ 101のファシリティ 141に割込みを出す。次にステップ 640でM S B I 146は非作動状態となり、このときM S B I 146はタスク・フラッグ 305をモニタする；タスク・フラッグ 305がインターフェース・ファシリティ 141によりセットされると、M S B I 146はパラメータ 306により指定されたタスクを実行する。タスクはステップ 598へ

のリターンを含んでもよい。

ファシリティ 141は第24図に示すように割込みに応答する。

もしステップ 608で送出しF I F O 921が空きであることがわかるか、またはステップ 610でS F Eタイムアウト期間がくるまえに空きになったとしたら、M S B I 146は送出されるべきデータ・エントリ 317のB I C制御語 323をアクセスし、ステップ 612でその相手先I Dとパケット・タイプの内容をB I G制御レジスタ 913に書込む。次にステップ 631で、M S B I 146は送出されるべきデータ・エントリ 317のパケット制御語 320にアクセスしてクイック・メッセージ・シケンス番号をパケット制御語のフィールド 334内に入れる。シケンス番号は丁度M S B I 146により保持されたシケンス・カウントであり、返り肯定応答メッセージをパケットに付属されるのに使用される。次にステップ 632でM S B I 146はこのカウントを1つ増す。次にステップ 613でM S B I 146はパケット制御語 320を「送出しF I F O」

921に書込む。MSB I 146はまたステップ 633で、送出されるべきデータ・エントリ 317の相手先ポートID 322をアクセスしてそれを「送出し FIFO」921に書込む。次にMSB I 146は送出されるべきデータ・エントリ 317の語 321をアクセスして、パケットにより転送されることをユーザが希望するデータをホールドするバッファの位置を決定し、ステップ 614でデータを「送出し FIFO」921のメモリ・マップ化アドレスに書込むことによりデータの「送出し FIFO」921へのDMA転送を実行する。

バッファからB I C 「送出し FIFO」921へのデータ語のDMA転送の完了に統いて、MSB I 146はユーザ制御語 324-327にアクセスして、第10図のステップ 607でそれらを「送出し FIFO」921に書込む。MSB I 146はまたプロセッサ 101が知っている現在時刻をプロセッサ 101から得て、ステップ 615で、その時刻をパケットに対するタイム・スタンプとしてEOPレジスタ 917のアドレスに書込む。EOPレジスタ 917のア

ドレスに書込む。EOPレジスタ 917のアドレスに書込むことは結局タイム・スタンプを「送出し FIFO」921に書込むことになるが、これはその時刻が全パケットの所有であることをB I C 110に合図し、パケットにバス 150の取合いをさせ、バス 150を介してパケットをその相手先まで伝送させる。

MSB I 146がB I C 110に送出したパケットを第13図に示す。これは、出力キュー・データ・エントリ 317の語 320、322、および 324-327と、DMA転送によりバッファからプロセッサ 101のメモリ内に転送されるデータ語1023と、およびタイム・スタンプを保有する語 328とからなる。

第10図に戻って、EOPレジスタ 917に書込むと、MSB I 146はステップ 616で出力キュー制御構造 300のインディケータ 303により指定されたSFEタイムアウト期間を数えはじめる。次にMSB I 146はステップ 617で、ステータス・レジスタ 916をモニタして反復チェックし、ステップ 618に支持されるように、SFEビットおよび

R N A C K (否定応答) を読み取る。

ステップ 618で、もし「送出し FIFO」921が空きである(全パケットが送出された結果として)ことをSFEビットが指示するまえにSFEタイムアウト期間が満了したならば、これは連係層10におけるハードウェア・トラブルの指示である。したがって、MSB I 146は第9図のステップ 619でB I C 110にリセット信号を送り応答キュー 142エントリを形成してファシリティ 114に通知する。

第10図のステップ 618で、もしパケットの送り出しが完了するまえに相手先のプロセッサ 101のB I C 110からR N A C K (否定応答) 信号を受けたことをステータス・レジスタ 918のR N A C Kビットが指示したならば、これはたとえば相手先の受取りFIFO 923のオーバーフローの理由で相手先プロセッサ 101のB I G 110が全パケットを受取り損ったことの指示である。相手先プロセッサ 101のB I C 110に回復時間を与えるために、MSB I 146はステップ 620で、-出力キュー

- 144のデータ・エントリ 317の処理を中止して-出力キュー 144をバイパスし、第8図のステップ 601に戻って送出されるべき他の出力キュー 144のデータエントリ 317を探索する。

第10図のステップ 618で、もしSFEタイムアウト期間が満了となるまえに、またはR N A C K信号が受取られるまえに全パケットが送出されたことをMSB I 146が検出したら、これは相手先プロセッサ 101のB I C 110へのパケット転送が成功したことの指示である。ステップ 630で、MSB I 146は構造 300のインディケータ 304で指定されたA C K (肯定応答) 期間を数えはじめる。

次にMSB I 146はステータス・レジスタ 916をモニタして、ステップ 621で指示されるようにそのQ M N E (「クイック」メッセージ・レジスタは空白でない) ビットをチェックする。Q M N Eビットが相手先プロセッサ 101のMSB I 146から「クイック」メッセージの受取りを指示するまえにもしA C Kタイムアウト期間が満了となっ

たならば、これは相手先プロセッサ 101のMSB I 146による送出しパケットの受取りが不成功に終ったことの指示である。相手先MSB I 146に回復時間を与えるために、MSB I 146はステップ 620で、現在処理中の出力キュー 144のデータ・エントリ 317の処理を中止して、第8図のステップ 601に戻り、送るべき他の出力キュー 144のデータ・エントリ 317を探索する。

第10図のステップ 621で、もし前記期間内にMSB I 146が相手先MSB I 146から「クイック」メッセージの受取りを検出したならば、MSB I 146は第11図のステップ 622でB I C 110の「クイック」メッセージ・レジスタ 918を読み取って「クイック」メッセージを得る。

「クイック」メッセージは第14図に線図で示す。これは、このクイック・メッセージによる応答を受けたパケットのクイック・メッセージ・シーケンス番号フィールド 334と、そのメッセージの発生元を識別する「送出しB I C I D」フィールド1101と、およびこのメッセージは応答されたバ

キュ 144のデータ・エントリ 317を探索する。

第11図のステップ 623で検査された「クイック」メッセージがもしACK (肯定応答) であれば、これは相手先プロセッサ 101によるパケットの受取りが成功したことを指示する。したがってMSB I 146は出力キュー 144のアンロード・ポインタ 316をアクセスしてステップ 625でアンロード・ポインタ進め、これにより送出されたエントリ 317を出力キュー 144から有効に削除可能である。次にステップ 626でMSB I 146はフラッグ 313をチェックして、この出力キュー 144をいずれかのプロセス 140が待機中であるかを判定する。もし待機中でなければ、MSB I 146は第8図のステップ 601に戻って送るべき他の出力キュー・データ・エントリ 317を探索する。

もしあるプロセス 140がこの出力キュー 144を待機中であれば、MSB I 146はパケットの転送の成功をファシリティ 141に通知する。第11図のステップ 627で、MSB I 146は応答キュー 142内にロード・ポインタ 360により指示された応答

ケットの肯定応答 (ACK) であるか否定応答 (NACK) であるかを支持するタイプ・フィールド1102とからなる单一語パケットである。

第11図のステップ 622で「クイック」メッセージを読み取った後に、MSB I 146はステップ 623で受取られた「クイック」メッセージのタイプ・フィールド1102を調査してメッセージ・タイプを判定する。もし「クイック」メッセージがNACK (否定応答) であれば、これは、入力キュー 143オーバーフローが発生したのでパケットは相手先MSB I 146により適切に受取られなかったことを指示する。トラブル発生状態を相手先プロセッサ 101で回復するための時間を与えるために、送出側MSB I 146はステップ 624で、それが現在処理中の出力キュー 144にスキップ・フラッグ 312をセットする。エントリ 312がセットされている間は、MSB I 146はその出力キュー 144のいかなるデータ・エントリ 317も処理ないし出しをしないであろう。次にMSB I 146は第8図のステップ 601に戻って送るべき他の出力

エントリ 362をアクセスし、出力キュー応答を識別するためにタグ・フラッグ 370をセットし、データ・フィールド 371内に出力キューの見出し 340のアドレスを記憶する。次にMSB I 146はステップ 628で、次に自由な応答エントリ 362を指示するためにポインタ 360を進め、ステップ 629でプロセッサ 101のファシリティ 141に割込みを出す。次にMSB I 146は第8図のステップ 601に戻って送るべき他の出力キュー・データ・エントリ 317を探索する。

ファシリティ 141は割込みの受取りに対し第24図に示すように応答する。

【連係層】

第1図のB I C 110およびバス 150を第15図に示す。B I C 110は、「受取りFIFO」 923と、「送出しFIFO」 921と、および「クイック」メッセージレジスタ 918と、からなるデータ・バッファ装置1220を含む。B I C 110はまた、制御装置1214と、制御レジスタ 913と、ステータス・レジスタ 916と、およびパケット終端 (EOP)

レジスタ 917をも含む。これらの装置は、プロセッサ 101と B I C 110との間、およびプロセッサ 101間の通信内に含められる。「受取り F I F O」 923ははいってくるパケットの貯蔵所であり、一方「送出し F I F O」 921は出て行くパケットの貯蔵所である。「クイック」メッセージ・レジスタ 918は、受取られた「クイック」メッセージ用の貯蔵所であって、單一語高優先順位パケットである。制御レジスタ 913 は送出されるべきパケットの相手先の識別ラベルを指定するのに使用され、またプロセッサ 101が B I C 110のアクティビティを制御するための手段も備えている。ステータス・レジスタ 918は、B I C 110の状態および F I F O 921および 923から読み取られたりまたはそれらに書込まれたりする最終パケットに関する情報をプロセッサ 101に送り返すために使用される。また E O P レジスタ 917は B I C 110のバス 150へのアクセスの取合いを開始させるために使用される。E O P レジスタ 917は機能的には「送出し F I F O」 921の延長部であり；E O P レジスタ

917のアドレスに書込まれるデータは実際には F I F O 921に書込まれ、また E O P レジスタ 917は、最終パケット後を添付するために「送出し F I F O」 921に送出す追加のパケット終端ビットを発生する。

プロセッサ 101は、「送出し F I F O」 921、制御レジスタ 913、および E O P レジスタ 917に対する書き込みアクセスを有し、またステータス・レジスタ 916、「受取り F I F O」 923、および「クイック」メッセージ・レジスタ 918に対する読み取りアクセスを有する。実施例では、これらの装置はプロセッサ 101のアドレス空間内にマップ化され（第12図参照）、そのメモリ・アドレス・バスを介してアドレスされる。この場合に、プロセッサ・バス 1203はプロセッサ 101のメモリ・バスの単なる延長部である。たとえばプロセッサの周辺バスを使用するような代替バス装置は同様に容易に考案可能である。

装置 913-918、921 および 923のいずれかがプロセッサ 101によりアドレスされると、制御装置

1214はバス 1215を介してプロセッサ 101から読み取られたりまたは書き込み信号を受取る。制御装置 1214は、アドレスおよび特定操作…読み取りかまたは書き込みか…の2つの特定ビットを調査して、4つにアドレス可能なこれら装置のいずれかを選択し、またプロセッサ 101からアドレス可能装置へのアクセスをよく知られた標準方法により制御する。バッファ 147の F I F O およびレジスタへの読み取りおよび書き込みアクセスの個別制御を実行するために、有限状態マシンまたは類似の論理を使用可能である。これらの操作を実行するための回路および論理は当業者には既知であるので、ここでは詳細には説明しない。

制御装置 1214は、アドレス情報を復号するために必要な復号器と、有限状態マシンを実行するための「フィード・プログラム可能論理配列 (F P L A s)」および「フィールド・プログラム可能論理シーケンサ (F P L S s)」と、からなる。これらの装置はすべて市販され、所定機能を実行するためのこれらの使用法は周知である。

プロセッサ 101は、メモリーマップ化 F I F O アドレスに反復書き込みを実行することにより、パケットを一時に一語ずつ「送出し F I F O」 921にロードする。F I F O 921内には一時に一つのパケットしか入れられない。実施例では、プロセッサ 101がパケットの語を「送出し F I F O」 921に書込むときに、バリティ・ジェネレータ 1227が各データ語に対するバリティ・コードを自動的に計算し、F I F O 921内に語と一緒にバリティ・コードも記憶する。

F I F O 921は、制御装置 1214によりモニタされる通常の「バッファ空き」指示を備えた標準市販の F I F O である。F I F O 921内に記憶される最初の語は、「バッファ空き」の指示を否定し、制御装置 1214によりステータス・レジスタ 916の S F E ビットをクリヤさせる。

プロセッサ 101はパケットの最後の一語のみを E O P レジスタ 917のアドレスに書込んでパケットの終端を指示する。バリティ・ジェネレータ 1217は同様にこの語に対するバリティ・コードも計

算し、それを「送出し F I F O 」 921に送出す。

「送出し F I F O 」 921に伝送するパケットのデータ語と共に、プロセッサ 101はまた制御レジスタ 913に B I C 制御語 323も伝送する。B I C 制御後は、7ビットの相手先識別コード (D I D) と1ビットのパケット・タイプ・コードとからなる。相手先コードは、パケットが伝送されるべき相手先プロセッサ 101の B I G 110そのものまたはそのアドレスである。パケット・タイプ・コードは、パケットがレギュラー・パケットかまたは「クイック」メッセージかを指示する。

この実施例の系においては、データ語は32ビトからなり、各々パリティ・ジェネレータ 1227により発生される4つのパリティ・ビットが付加される。「送出し F I F O 」 921は、前記の36ビットと E O P レジスタ 917により発生されるパケット終端ビットを収容するように37ビットの幅を有する。さらに E O P レジスタ 917もまた、パケットの最終の語が受取られたことを制御装置 1214に指

示する E O P W (パケット終端語) 出力信号を発生する。E O P W 信号は制御装置 1214に対し相互連結バス 150に対する取合いを行わせる。

相互連結バス 150は平行バスで、これはアービタ回路 1211が結合されている多重ビット「プライオリティ」バス 1251を含む。バス選択は、バス・アクセスをプライオリティ (優先順位) ベースで行なう多数の既知のバス選択方法のいずれかで実行可能である。最もよく知られたバス装置は、選択プロトコルが定義されている標準 S - 100 バスである。アービタ回路 1211は S - 100 バスに対する指定品のような周知のアービタ回路または多数の取合物の中から選択しつつ高優先順位取合物に許可信号を与えるところの類似回路でよい。この実施例の系においては、ある1つのバス・サイクルにバス 150を取合うすべてのアービタ 1211はそれに続くバス・サイクルで活性化されるアービタ 1211がバス 150を捕獲することを許可されるまことにサービスを受けるようにバス 150に対し「公正な」アクセスを与えるように設けられている。こ

のようなバス割付けを実行する装置は、「記憶装置グループ・バス割付けシステム」という名称の米国特許第 4.514.725号および第 4.384.323号に開示されている。いわゆる「公正アクセス」体系を用いてバス 150を取合う一群の B I C 110はバス 150の B S T リード 1280を指定する。取合いはいくつかのバス・サイクルの間継続されるが、B S T リード 1260が指定されている限り他の B I C 110はバス 150を取合うことを試みない。ある B I C 110が取合いプロセスにあるとき、それは「コンテンド」 (CONTEND) リード 1261を指定する； B I C 110がバス 150を捕獲すると、それはリード 1261を開放して「ホールド」 (HOLD) リード 1259を指定し、パケット転送期間中それを指定したまま保持する。

「プライオリティ」 (PRIORITY) バス 1251は8本の優先順位リードを有する8ビット・バスである。このような装置は理論的には、S - 100アービタ回路を用いて 255種類の優先順位を形成するのに使用可能である。アービタ 1211は「プライオ

リティ」バス 1251の8本のリードのすべてに接続される。アービタ 1211は I D レジスタ 1212から独自の7ビット識別語を受取る。この識別語はプロセッサ 101と B I C 110との一致を定義し、これはまたバス 150のアクセスのためのプロセッサ 101の優先順位としても利用される。アービタ 1211はまた制御レジスタ 913から、送出されるパケットは、通常のデータ・パケットかまたは優先順位の高い「クイック」メッセージかを示す单一ビットの識別ラベルを受ける。アービタ 1211は開放コレクタ論理ゲートなどを使用して、付属のプロセッサ 101の優先順位を定義するように指定された「プライオリティ」バス 1251のうちの7本の低位優先順位リードのいくつかを保持する。受取られた单一ビット識別ラベルがパケットを「クイック」メッセージとして識別した場合のみ、アービタ 1211は「プライオリティ」バス 1251の最高位の8番目のリードを保持する。このバス 1251の最高位リードの値により識別された送出すべき「クイック」メッセージを有するプロセッサ 101は、送出すべ

きレギュラ・パケットのみを有するプロセッサ 101より高位の優先順位を有する。8本の優先順位リードの状態により定義される高位の優先順位を有するプロセッサ 101が存在しない場合のみ、アービタ 1211は制御装置 1214にWON信号を提供し、これにより制御装置にバス 150の残りの部分をアクセスするよう許可する。

各 B I C 110の制御装置 1214は、「データ」(DATA) バス 1252からのデータの読み取りまたは受け取りを制御するための有限状態マシンと、データ・バス 1252へのデータの書き込みまたは送出しを制御するための有限状態マシンとを含む。「バス送出し有限状態マシン」を第16図に示す。第16図に示すシーケンスは「送出し FIFO」921からバス 1252へデータを転送するのに使用される。

EOPレジスタ 917によりEOPW信号が発生された後に、有限状態マシンは「アイドル」(IDLE) 状態 1301から「準備完了」(READY) 状態 1302へ移動する。EOPW信号はバス 150と同期化されないので、この後者の状態が同期化状態とし

系の物理的パラメータに依存する設計選択事項である。いずれにしても、バス 150への取扱いを解決するために通常必要な時間によりアクセスが与えられることを指示すべくもしアービタ 1211が制御装置 1214の WON 信号を伝送したならば、「待ち-2 (WAIT-2)」状態 1305へ移動が行われる。この状態 1305で制御装置 1214はバス 150の「コンテンド」リード 1261をモニタし、このリードがもはや指定されていないときは、「待ち-2」状態 1305から「取扱い-1」状態 1304へ移動が行われる。「取扱い」状態と「待ち-2」状態 1305とを介しての順序づけは、アービタ 1211が制御装置 1214に WON 信号を与えるまで反復される。

制御装置 1214はまたバス 150の「ホールド」リード 1259もモニタする。このリードはバス 150へのアクセスを得た B I C 110により指定されてデータを送出し中である。制御装置 1214が WON 信号を受取った後に「ホールド」リード 1259が指定され続ける限り、「バス送出し有限状態マシン」は「取扱い-N」状態 1314を継続する。「ホール

ド」リード 1259が放棄されたとき「送出し」状態 1306へ移動が行われる。この状態において制御装置 1214はバス 150の「ホールド」リード 1259を指定してバスの占有を支持する。

制御信号 1214は、「送出し」状態 1306にある間「送出し FIFO」921からのデータ語およびその他情報を「データ」バス 1252に転送する。 FIFO 921とバス 1252との間の時間差を修正するために、「送出し FIFO」921と「データ」バス 1252との間に周知のデータ・ラッチ 1230が設けられる。「送出し」状態 1306において、データを FIFO 921からバス 1252へ転送させるようにラッチ 1230が制御装置 1214により可能化される。

「送出し FIFO」921から得られたパケット語は、一回に1つずつ32ビットの「データ」バス 1252上に伝送される。バス 1252上の各語には、制御レジスタ 913から得られかつ7ビットの「相手先 I. D.」バス 1253上に伝送される相手先アドレス (D I D) と、I. D. レジセスタ 1212から得られかつ7ビットの「FORM」バス 1256上に

伝送される送出元アドレスと、が付記され、これらのバスはすべてバス 150の一部である。メッセージ・タイプ…レギュラ・メッセージかまたは「クイック」メッセージか…を指定する 1 ビット・コードおよび相手先 B I C リセットのようなメッセージの可能な副効果が制御ラインである Q M O U T 1262および「リセット」1263上に 1 ライン 1 ビットで伝送され、これらのラインもまたバス 150の一部である。

「送出し」状態1306にあるとき、制御装置1214はバス 150のRNACK リード1255およびIAMALIVEリード1257をモニタする。相手先プロセッサ 101の B I C 110は伝送の受取りの応答を送出側制御装置1214に伝送するためにIAMALIVEリード1257を使用し、また「受取りFIFO」923または「クイック」メッセージ・レジスタ 918のパリティ・エラーまたはオーバーフローの検出というような伝送トラブルを送出側制御装置1214に伝送するためにRNACK リード1255を使用する。送出側 B I C 10がリード1255を指定したりまたはリード1257を

01ヘリターンが行われる。

RNACK 状態1307における「送出しFIFO」921のクリヤまたは「送出し」状態1306における最終語のFIFO 921からの伝送により「バッファ空き」の指示が出され、これにより制御装置1214はステータス・レジスタ 916のSFE ビットをセットする。

次にバス 150を介しての相手先プロセッサ 101の B I C 110によるパケットの受取りを考える。

B I C 110内の I. D. 一致回路1222は「相手先 I. D. バス1253をモニタし、その内容を I. D. レジスタ1212内で指定されたアドレスと比較する。送出側プロセッサ 101の B I C 110が前記のようにパケットを相手先プロセッサ 101に伝送するとき、I. D. 一致回路1222がそれ自身のプロセッサ 101のアドレスを確認し、一致したら「一致」信号を発生してそれを制御装置1214およびデータ・ラッチ1225に送る。データ・ラッチ1225は一致回路1222からの「一致」信号と制御装置

指定しそこなったときは、送出側制御装置1214の「バス送出し有限状態マシン」は「送出し」状態1306からRNACK 状態1307に変る。状態1307の状態においては、「バス送出し有限状態マシン」はさらに、「送出しFIFO」921からのデータおよびその他情報のバス 150への転送を停止し、「送出しFIFO」921をクリヤし、かつステータス・レジスタ 918のRNACK ビットを指定してトラブルをプロセッサ 101に通知する。次に「最終」状態1308において、伝送があたかも通常のように完成したかのごとく「送出し有限状態マシン」の作業が継続される。

「データ」バス1252上で伝送されるパケットの最終語のみに、EOP リード1254を介して伝送されたEOP ビットが付記される。このEOP ビットが制御装置1214により検出されたときに、「最終」状態1308に転送が行われる。「最終」状態1308において、「送出しFIFO」921およびデータ・ラッチ1230は制御装置1214から不能化にされる。「最終」状態1308からは「アイドル」状態13

1224からの「可能化」信号とにより可能化されて、「データ」バス1252からのデータを、「受取りFIFO」923と、「クイック」メッセージ・レジスタ 918と、およびパリティ・チェック1228とに転送する。

パリティ・チェック1228はデータ語と付属のパリティ・ビットとをラッチ1225から受取り、自動的にパリティをチェックする。不正パリティを検出したときは、チェック1228は 1 ビットのパリティ・エラー信号を発生してそのパリティが欠けた語に付属させる。

第17図は、バス 150に接続された各 B I C 110の制御装置1214内にて行われるバス 150受取り作業を制御するための有限状態マシンの状態を示す。「受取り有限状態マシン」の初期状態は「アイドル」状態1410である。回路1222からの「一致」信号の受取りに応答して制御装置1214は「開放受取り」状態1411に移動し、ただちにIAMALIVEリード1257上に信号を発生はじめる。またこの状態においては「可能化」信号がデータ・ラッチ1225に

与えられ、バス1252から「受取りFIFO」923または「クイック」メッセージ・レジスタ918へのデータ転送が行われる。制御装置1214はバス150のQMOUTリード1262を調査する。もし「クイック」メッセージが検出されたら、制御装置1214は「クイック」メッセージ・レジスタ918に「可能化」信号を出す。もし「クイック」メッセージが検出されなければ、制御装置1214は受取りFIFO923に「可能化」信号を出す。バッファ・オーバーフローがない条件でI.D.バス1253上のアドレスがI.D.レジスタ1212の内容と一致する限り、「開放受取り」状態1411から代る必要はない。

制御装置1214から「可能化」信号を受取る「クイック」メッセージ・レジスタ918および「受取りFIFO」923のいずれかはこれにより可能化されて受取られたデータを記憶する。「受取りFIFO」923は、「バッファ・フル」および「バッファ空き」の通常の指示を出す標準市販FIFOであるが単一のインディケータを介してこれを

のビットは付属のパケット語の39番目のビットに記憶される。

パケット終端(EOP)信号の受取りのまえに形成された「受取りFIFO」923の「バッファ・フル」条件はオーバーフロー条件と解釈される。同様に、単一語「クイック」メッセージの受取りの間における「クイック」メッセージ・レジスタ918の「バッファは空きでない」条件はオーバーフロー条件と解釈される。通常作業においては、プロセッサ101はデータ・バス1252の転送速度より遅い速度で「受取りFIFO」923または「クイック」メッセージ・レジスタ918からデータ語を読み取るので、相手プロセッサ101内に異常状態が存在しないときでもバッファ・オーバーフロー条件が起こる可能性があることは考慮しておかなければならない。図を簡単にするために、図においてはバッファ状態信号を制御信号1214に与えるリードはバッファ装置1220からの出力として示されている。

「開放受取り」状態1411においては、制御装置

行う；レジスタ918は1語分しかないので、空きでないときはフルであり、またはその逆となる。

「受取りFIFO」923内に最初の語が記憶されると「バッファ空き」の指示は打消され、これにより制御装置1214はステータス・レジスタ918内のRFNEビットをセットする。レジスタ918内に語が記憶されると「バッファ空き」の指示は打消され、これにより制御装置1214のステータス・レジスタ918内にQMNEビットをセットする。

「受取りFIFO」および「クイック」メッセージ・レジスタ918は39ビットの幅を有する。32ビットはし受取られたデータ語を保有し、4ビットは付属のパリティビットを保有する。1ビットは、パリティ・エラーがあったときにパリティ・チェック1228から発生されたパリティ・エラー信号を保有する。1ビットは、「オーバーフロー・エラー」があったときに制御装置1214から発生された「オーバーフロー」エラー信号を保有する。パケットの最終の語だけにはバス150のEOPリード1254上の1ビットのEOP信号が付記され、こ

1214は、「受取りFIFO」923の「バッファ・フル」の指示と、レジスタ918の「バッファ空き」の指示と、およびバス150のEOPリード1254とをモニタする。付属パケットに対するEOP信号がEOPリード1254上で受取られるまえにおける「バッファ・フル」の発生は、「受取りFIFO」923内にはパケットがうまく記憶されなかったかまたは一部のみしか記憶されなかったことを示す、同様に、レジスタ918が空きでない間の「クイック」メッセージの受取りはレジスタ918のオーバーフローを示す。いずれの条件も、「受取り有限状態マシン」をRNACK状態1412へ移動させる。

「開放受取り」状態1411においてもまた制御装置1214はパリティ・チェック1228の出力をモニタする。チェック1228が受取られた語について不正パリティを検出してその指示を出すと、それは制御装置1214により検出され、「受取り有限状態マシン」はRNACK状態1412へ移動させられる。RNACK状態1412においては、制御装置1214はIAMALIVEリード1257の指定を解き、RNACKリード1255を指

定する。制御装置1214はまた「データ」ラッチ1225からの「可能化」信号を解除し、「受取りFIFO」923またはレジスタ918へのこれ以後の書き込みを遮断する。バッファ・オーバーフローのときは、制御装置1214は受取りFIFO923またはレジスタ918内に最後に受取られた語に付属させてオーバーフロー・ビットをセットする。制御装置1214はまたEOPビットを発生して最後に記憶すべく受取られた語にそれを付記する。最後に制御装置1214は、パケットを受取りつつあった「受取りFIFO」923およびレジスタ918のいずれかから「可能化」信号を解除する。

RNACK状態1412における前記のアクティビティに続いてか、または「開放受取り」状態1411においてバッファ・オーバーフロー・エラーおよびバリティ・エラーのいずれも検出することなしにEOPリード1254上にEOP信号を検出したとき、「受取り有限状態マシン」は「アイドル」状態1410に戻り、系内の「データ」ラッチ1225、「受取りFIFO」923、および「クイック」メッセージ

ジ・レジスタ918から「可能化」信号を解除する。

ステータス・レジスタ916内にセットされたRFNEビットを検出するとその結果実施例においては、メモリ・マップ化FIFOアドレスを反復して読み取ることにより、MSB1146を介して一回に一語ずつデータを「受取りFIFO」923から読み取らせる。パケットの最終語が読み取られると、制御装置1214は、一定時間後に次のパケットを読みたいためにプロセッサ101が命令で指定した時間が満了するまで、制御装置1214は「受取りFIFO」923からの読み取りを以後中止する。プロセッサ101はFIFO923が空きになるまでFIFO923からのパケットの読み取りを継続する。この条件により「バッファ空き」の指示を掲げ、これにより制御装置1214を介してステータス・レジスタ916内のRFNEをリセットさせる。

同様に、ステータス・レジスタ916内にセットされたQMNEビットを検出するとその結果、MSB1146を介してレジスタ918から「クイック」

メッセージを読み取らせ、これによりレジスタ918を空きにする。この条件により「バッファ空き」の指示を掲げ、これにより制御装置1214を介してステータス・レジスタ916内のQMNEビットをリセットさせる。

[パケット履(つづき)]

第18図ないし第20図はBIC110を介してパケットを送出側プロセッサ101から受取るときのMSB1146の作業をフローチャートにして、構造145の入力キュー143および応答キュー142の用法を示す。

第1図の系がステップ597にて起動されると、MSB1146は出力キュー構造300のBICステータス・レジスタ918のRFNE(受取りFIFOは空きでない)ビットおよび出力ペンドイング・フラッグ307のモニタを開始する。ステップ598で、MSB1146はRFNEビットがセットされているか否かをチェックする。RFNEがセットされていない場合は、それは「受取りFIFO」923が空きであることを示し、ステップ599でM

SBI146はフラッグ307をチェックする。ステップ599でもしフラッグ307がセットされていることがわかれれば、ステップ1503でMSB1146は出力キュー144を処理し、次にステップ598へ戻る。出力キューの処理は第8図ないし第11図にフローチャートで示され、これは既に説明したとおりである。ステップ598でRFNEビットが「受取りFIFO」923は空きではない」ことを指示すると、それは、1つ以上のパケットがBIC110により受取られたかまたは受取られつつあることを意味する。したがってステップ1504で、MSB1146は「受取りFIFO」923に対応するメモリ・アドレスを反復して読み取ることにより、受取られたパケットの「受取りFIFO」923からの読み取りを開始する。

ステップ1504で、「受取りFIFO」923で最初の読み取り作業が行われるとその結果、MSB1146はパケット制御語320および相手先ポートID語322(第13図参照)を取得し、MSB1146はステップ1515で語320を作業記憶領域に記憶する。

もし読み取られた語のいずれかに、パケットの最後に受取られた語であることを示す EOP (パケットの終端) ビット、パケットの受取り中に「受取り FIFO」923 のオーバーフロー条件が発生したことを示すビット、またはその語にパリティ・ビット・エラーが検出されたことを示すビットが付記されたならば、これらの語を読み取るとその結果、ステータス・レジスタ 916 のそれぞれ EOP ビット、SFERR ビット、または SPERR ビットがセットされる。これら 2 つの語のみはパケットを形成することができないので、EOP のセットもまたパケット受取りにおけるエラーを示す。したがってステップ 1505 で、MSBI 146 はステータス・レジスタ 916 を読み取り、EOP ビット、SPERR ビット、および SFERR をチェックする。もしこれらのビットの 1 つ以上がセットされていれば、パケット受取りにおけるエラーが示され、ステップ 1505 で MSBI 146 は受取られたパケットを「受取り FIFO」923 から削除しそれを放棄する。もし EOP ビットがセットされていれば、MSBI

146 は、「受取り FIFO」923 から読み取った 1 つまたは複数の語を単に廃棄するだけである。もし EOP ビットがセットされていなければ、MSBI 146 は「受取り FIFO」923 を読み取って、ステータス・レジスタ 916 の EOP ビットがセットされるまで読み取られたすべての語を放棄する。MSBI 146 は次にステップ 598 に戻る。

ステップ 1505 で、もし EOP ビットまたは ER ビットのいずれかがセットされていなければ、ステップ 1507 で MSBI 146 は受取られたパケットが「再スタート」パケットか否かをチェックする。再スタート・パケットとは、MSBI 146 によりある出力キュー 144 の処理を再スタートするため、その出力キュー 144 のスキップ・フラッグ 312 をクリヤすることを目的とするパケットである。再スタート・パケットはパケットの相手先ポート ID 語 322 内の特殊コードにより識別される。これは、それに付属する出力キュー 144 が「呼ばれる」べきである相手先プロセッサ 101 上のポート 202 を識別する語以外はデータを有していない。

したがってステップ 1507 で、MSBI 146 は語 322 をチェックしてそれがこの特殊コードを含むか否かを判定する。もし含んでいれば、MSBI 146 は第 20 図のステップ 1508 で、FIFO 923 がマップ化されているメモリ・アドレス上で 5 語の読み取り作業を行うことにより、語 324-328 からなるパケットの残り部を「受取り FIFO」923 から読み取る。

前記のように、パケットの中で最後に受取られる語には EOP ビットが付記され、また受取られた語の中で BIC 110 により RNACK 信号が送出される語には SFERR ビットまたは SPERR ビットが付記される。これら 3 つのビットのいずれかが付記された語を「受取り FIFO」923 から読み取るとその結果、ステータス・レジスタ 916 の対応ビットがセットされる。EOP ビットが付記された語の先を読みもうとしても、ステータス・レジスタ 916 の EOPERR ビットがセットされているので、パケット制御語 320 のフィールド 332 は実際のパケット長さに対応しないことをこれは示している。し

たがって MSBI 146 はステータス・レジスタ 916 を読み取って、EOP ビットがセットされていないかどうか、または SPERR ビット、SFERR ビット、あるいは EOPERR ビットがセットされているか否かを判定する。もしそうであるなら、パケットの受取りにエラーが指示され、MSBI 146 はステップ 1510 でパケットを放棄し、次にステップ 598 に戻る。

ステップ 1509 で、もし受取り中にエラーが指示されなければ、MSBI 146 は、パケットはどのポート 202 にアドレスされかをそのパケットから判定し、そのポートのポート構造 380 をアクセスしてどの出力キュー 144 がそのポートに対応するかをその出力キュー・ポインタ 381 から判定し、そして次にステップ 1511 でその出力キュー 144 のスキップ・フラッグ 312 をクリヤする。次に MSBI 146 はステップ 1512 で、出力キュー制御構造 300 の出力ベンディング・フラッグ 307 をセットすることにより、第 8 図ないし第 11 図の出力キュー処理を起動する。再スタート・パケットの適切

な受取りを肯定応答するために、M S B I 146はステップ1547で第21図のルーチンを呼出して再スタート・パケットの送出元に「クイック」メッセージを送る。次にM S B I 146はステップ 598に戻る。

第18図のステップ1507で、受取られたパケットがもし再スタート・パケットでないと判定されたら、ステップ1513でM S B I 146は、受取られたパケットのパケット制御語 320のトグル・ビット・フィールド 331をチェックしてその値が適切であるか否かを判定する。M S B I 146は、受取られたパケットの「相手先ポート」ID語 322を利用してそのパケットに対する相手先ポート 202はどれかを判定し、またそのポート 202のポート構造 380のチャンネル・タイプ・インディケータ 385をアクセスしてそのポート 202が付属するチャンネル 201はカーネル・チャンネルかまたはユーザー・チャンネルであれば、M S B I 146はポート構造 380の入力キュー・トグル 384をアクセスしてこれにより記憶された1つのトグル・ビット値

を読む。もしチャンネル 201がカーネルチャンネルであれば、M S B I 146はポート構造 380の入力キュー・トグル 384をアクセスしてこれにより記憶されている複数のトグル・ビット値の中からパケットの送出元であるプロセッサ 101に対応するものを読取る。M S B I 146は、パケット制御語 320の送出側B I C I Dフィールド 333が送出側プロセッサ 101を決定する。次にM S B I 146は、アクセスされた構造 380の入力キュー・トグル 384から得られたトグル・ビットの値を受取られたパケット制御語 320のトグル・ビット・フィールド 331の値と比較して、それらが等しいかどうかを判定する。もしそれらが等しくなければ、トグル・ビット・フィールド 331の値は不適切である。

不適切なトグル・ビット・フィールド 331の値は、パケットの受取りを応答するためにこのプロセッサ 101から送出側プロセッサ 101に送られたACK(肯定応答)「クイック」メッセージが送出側プロセッサ 101により受取られなかったこと

の指示であり、その結果、送出側プロセッサ 101はパケットを再伝送してしまう。したがってこのパケットはここでM S B I 146により2回送られたことになり、その必要はない。したがってステップ1526でM S B I 146は「受取りF I F O」923から受取られたパケットを削除する。M S B I 146は「受取りF I F O」923を読み取り、かつステータス・レジスタ 918のE O Pビットがセットされるまで読み取られた語はすべて放棄することによりこれを実行する。次にM S B I 146は、ステータス・レジスタ 918のSFERR、SPERR、およびEOPERRビットをチェックして、B I C 110がこのパケットの受取り後に送出側プロセッサ 101にRNACK信号を送ったか否かを判定する。もしこれらのビットの少なくとも1つがセットされれば、RNACK信号が送られて、送出側M S B I 146に、…「受取りF I F O」923のオーバーフロー、受取られたパケット上のパリティ・エラーの検出、または最終パケット語を過ぎた読み取り試み…という受取り上のトラブルを通知したはずであり、ま

送出側M S B I 146はこれらのパケットを将来のいつかに再伝送するであろう。これ以上の情報は送出側プロセッサ 101には与えられず、M S B I 146はステップ 598に戻る。

ステップ1527でもしSFERRビット、SPERRビット、またはEOPERRビットのいずれもセットされていないとわかれば、送出側プロセッサ 101のM S B I 146にRNACK信号は送られていないはずである。したがって、受取側プロセッサ 101のM S B I 146はステップ1502で第21図のルーチンを呼出して送出側プロセッサ 101にACK「クイック」メッセージを送り、前のパケットの受取りが成功したことを通知する。次にM S B I 146はステップ 598に戻る。

第18図のステップ1513に戻って、チェックの結果受取られたトグル・ビットの値がもし不適切であれば、ステップ1514でM S B I 146は、受取られたパケットの相手側ポートID語 322により識別されたポート 202の入力キュー 143がフルであるか否かをチェックする。M S B I 146は相手先

ポート 202のポート構造 380の入力キュー・ポインタ 382をアクセスして、どれがこのポート 202の入力キュー 143であるかを判定する。次に M S B I 146はその入力キュー 143のポインタ 352および 353の値を比較し、それらが等しいか否かを判定する。もし等しければ入力キュー 143はフルである。したがって M S B I 146は第19図のステップ 1530でステップ 1526と同様に、受取られたパケットを「受取り F I F O」 923から削除する。次に M S B I 146は、ステップ 1531でステップ 1527と同様に、このパケットの受取りに関連して R N A C K が送られたか否かをチェックする。もし送られていれば M S B I 146は単にステップ 598に戻るだけである。しかし、もし R N A C K が送られていないければ M S B I 146はステップ 1929で、キュー 143の入力キュー・フル・フラッグ 348をセットして、フルであることをキュー 143にマーキングする。フラッグ 348はカウント・フラッグであり、M S B I 146はそれを低位マーク・インディケータ 349に保有された値にセットする。M S B I 1

46はまたステップ 1532で第21図のルーチンを呼出して、丁度処理中のパケットの送出元へ否定応答 (NACK) を送る。次に M S B I 146はステップ 598にもどる。

第18図のステップ 1514に戻って、もし入力キュー 143がフルではないと判定されれば、M S B I 146はステップ 1518で、受取られたパケットのバッファ・データ語 1023を「受取る F I F O」 923からプロセッサ 101のメモリ内のバッファへ D M A 転送を利用して転送する。バッファは、キューのロード・ポインタ 352で指示された入力キュー・データ・エントリ 354のバッファ・アドレス 355により識別される。M S B I 146は、パケット制御語 320のバッファ・サイズ・フィールド 332により指定された数の語について D M A 転送を実行する。次に M S B I 146は「受取り F I F O」 923からユーザ制御語 324-327を読み取り、ステップ 1517でこれらを入力キュー・エントリ 354の対応する語内に記憶する。M S B I 146はまた「受取り F I F O」 923からタイム・スタンプ語 328も

読み取り、ステップ 1501でそれを作業領域内に記憶する。

ここで M S B I 146はステップ 1518で、ステータス・レジスタ 916の E O P 、 S F E R R 、 S P E R R および E O P E R R ビットをチェックして、 E R R ビットのいずれかがセットされているか、または E O P ビットがセットされていないかを判定する。いずれの条件も、第20図のステップ 1509で説明したように、パケットの受取りにおけるエラーを示し、これらに応答して M S B I 146はステップ 1550で、受取られたパケットを放棄する。ステップ 1550の活動は、もしレジスタ 916の E O P ビットがステップ 1518でセットされていないことがわかれれば、 E O P に遭遇するまで受取り F I F O 923を読み取ることを含む。次に M S B I 146はステップ 598に戻る。

M S B I 146は入力キュー 143のロード・ポインタ 352を進めなかったので、入力キュー 143のデータ・エントリ 354の削除もまたはバッファ・アドレス語 355により指示されたバッファの削除

も必要ではない。さらに、もしステータス・レジスタ 916の S P E R R または S F E R R ビットがセットされいたら、 B I C 110により送られた R N A C K 信号は、パケットの送出元であるプロセッサ 101を介してパケットを再送させるであろう。もし E O P ビットがセットされないかまたは E O P E R R ビットがセットされたならば、「クイック」メッセージが受取られないと、パケットの送出元であるプロセッサ 101を介してパケットを再送させるであろう。いずれの場合も結局パケットはこの相手先プロセッサ 101に再送されるであろう。

もし、ステップ 1518におけるチェックにより受取り時にエラーが示されなければ、ステップ 1519で、M S B I 146は作業領域からパケット制御語を抽出してそれを入力キュー・データ・エントリ 354の語 320内に記憶する。次にステップ 1520で、M S B I 146は入力キュー 143のロード・ポインタ 352を進め、たった今挿入されたデータ・エントリ 354の内容を入力キュー 143上に機能的に置く、次に M S B I 146は入力キュー 143のプロセ

ス待機中フラッグ 350およびデキュー・タイプ・インディケータ 358をチェックし、ステップ1521で、プロセスまたは割込みハンドラのいずれかがそれぞれこの入力キュー 143上で待機中かどうかを判定する。もし待機中であれば第20図のステップ1522でフラッグ 350をクリヤし、次にステップ1523-1525で第9図のステップ 604-606の説明のように、応答キュー 142によりファシリティ 141にパケットの受取りを通知する。

第19図のステップ1521でもしこの入力キュー 143を待機するプロセスがないことが判定されたとき、または第20図のステップ1525に統いて、MSB I 146はステップ1545で第21図のルーチンを呼び出し、受取られたパケットの送出元であるプロセッサ 101に肯定応答 (ACK) 「クイック」メッセージを送る。次にMSB I 146はステップ1546で第22図のルーチンを呼び出し、第19図のステップ1501で一時記憶されたタイム・スタンプを処理する。最後にMSB I 146はステップ 598に戻る。

第21図は、それから受取られたパケットに応答して送出側プロセッサ 101にクイック・メッセージを送るためにMSB I 146により使用されるルーチンをフローチャートで示す。ルーチン呼出しの一部として、MSB I 146はステップ1544で、受取られたパケットのパケット制御語 320のフィールド 334からそれが取得すクイック・メッセージ・シーケンス番号と、受取られたパケットの語 320のフィールド 333から得られた送出側B I C I Dと、およびパケットは肯定応答 (ACK) かまたは否定応答 (NACK) かと、を指定する。呼出しに応答してルーチンはステップ1528で、出力キュー・データ・エントリ 317の制御語 320に類似の制御語を形成する。ルーチンは相手先B I C I Dとして、受取られた送出側B I C I Dと「クイック」メッセージを指示するフラッグとを語 323に挿入する。ステップ1528ではルーチンはまた第14図に示すような「クイック」メッセージを形成し、その中に受取られるクイック・メッセージのシーケンス番号と、このプロセッサ 101

のB I C 110のI Dと、および指定されたクイック・メッセージ・タイプと、を挿入する。次にルーチンはステップ 1533-1536で第9図のステップ 608-611と同様に、「送出しFIFO」 921が空きになるのを待機する。「送出しFIFO」 921が空きになるまえにもしSFEタイムアウト期間が満了になると、ルーチンはステップ 1537-1542で第9図のステップ 619および 604-606の説明と同様に、B I C 110をリセットし、応答キュー 142エントリ 362を形成し、かつインターフェース・ファシリティ 141に割込みを出してそれにタイムアウトを通知する。次にルーチンはステップ1544で、第9図のステップ 640の状態と同等の非作動状態にはいる。

「送出しFIFO」 921が空きになると、第21図ノステップ1538で、ルーチンは制御語をB I C制御レジスタ 913に書込む。次にステップ1539で、ルーチンは「クイック」メッセージをB I C E O Pレジスタ 917に書込む。次にステップ1543で、ルーチンは呼出しを受けた点へ戻る。

第22図は、タイム・スタンプを処理するためにMSB I 146により使用されるコード部分をフローチャートで示す。タイム・スタンプ語 328は、タイム・データを有する複数ビットと、同一「エポック (時期)」かまたは異なる「エポック」かを示す単一ビットとを含む。タイム値は同一エポック内ではそれ自身を反復せず、異なるエポック内で反復してもよい。第1図の系内のタイム1つのプロセッサ 101から流される。あるプロセッサ 101はその現在タイムを他のプロセッサ 101から受取られたタイム・スタンプ値と置き換えば可能であるが、「ホスト」プロセッサ 101だけは第1図の系内のタイムを1つずつ進めることができある。タイム・スタンプを他のプロセッサから受けている間は非ホスト・プロセッサ 101に対してはタイムは「停止する」。

ステップ2200で、MSB I 146は、このコード部分に対し、タイム・スタンプ 328が一時的に記憶される、作業領域のアドレスと、受取られるパケットの語320 のフィールド333 から得られる送

出側B I C I Dと、を指定する。呼出しに応答してルーチンはステップ2201で、語328のエポック・ビット値をプロセッサ101が現在使用中のタイムのエポック・ビット値と比較して両方のタイムは同一エポックに属するか否かを判定する。もしエポック・ビット値が同一であればエポックは同一であることを意味し、ステップ2204で、ルーチンは語328のタイム・データ・フィールドの値をプロセッサ101が現在使用中のタイム値と比較する。語328のタイム・データ・フィールドの値が現在使用されているタイム値よりもしだいければ、ステップ2205で、ルーチンは現在使用されている値を放棄してそれを語328のタイム・データ・フィールドの値と置換え、これによりプロセッサのタイムを更新する。次にステップ2206でルーチンは呼出しを受けた点に戻る。語328のタイム・データ・フィールドの値が現在使用されているタイム値よりもしだいなければ、ステップ2206で、ルーチンは単に呼出しを受けた点に戻るだけで、これにより語328を介して受取られたタ

イム値を有効に放棄する。

ステップ2201でもしエポックが異なると判定されたならば、ステップ2202でルーチンは呼出しの一部として受取られた送出側B I C I Dをチェックして、タイム・スタンプが「ホスト」プロセッサ101から得られたものかどうかが判定される。もしそうでなければ、ステップ2206で、コードは単に呼出しを受けた点に戻るだけで、これにより語328を介して受取られたタイム値を有効に放棄する。もしタイム・スタンプが「ホステ」プロセッサ101から受取られたものであれば、ステップ2203で、コードは現在使用されているタイムおよびエポックを放棄してこれらを「ホスト」プロセッサから得られた値と置換える。次にステップ2206で、コードは呼出しを受けた点に戻る。

第23図は、他のプロセッサ101からパケットを受取るときのインターフェース・ファシリティ141の作業をフローチャートで示し、これによりキューリー構造145の入力キュー143の用法を示す。

他のプロセッサ101から受取られたパケットか

らデータを取得することを望むユーザ・プロセス140は、ステップ1900で、READPコールを介してファシリティ141を呼出す。呼出しの一部として、ユーザ・プロセス140はそれからデータを取得したいポート202を指定し、またカーネル・チャンネルのポート202に対しては送出側B I C 110のI Dも指定する。呼出しに応答してステップ1901で、インターフェース・ファシリティ141は、そのポートの入力キュー143は空きであるか否か、またはそれはこの呼出しを満足させる何らかの受け取り情報を含むかどうかをまずチェックする。インターフェース・ファシリティ141は指定されたポート202のポート構造380の入力キュー・ポインタ382にアクセスし、指定されたポート202にどの入力キューが付属されるかを判定する。

次にインターフェース・ファシリティ141は入力キュー143のポインタ352,353をアクセスしてこれらを比較する。もしアンロード・ポインタ353がロード・ポインタ352により指示されたエントリ354の直前のエントリ354を指示するならば、

入力キュー143は空きであり、ステップ1902で、ポートのポート構造380のステータス・インディケータ387をチェックすることにより、インターフェース・ファシリティ141は付属のポート202が切断されているか否かをチェックする。ポート202が切断されていることをもしエントリ387が指示するならば、ステップ1908で、インターフェース・ファシリティ141はエラー指示を有しながら呼出し側プロセス140に戻る。

ステップ1902でもしポート202が切断されているとの指示がなければ、ステップ1903で、インターフェース・ファシリティはステップ1900で受取った呼出しのパラメータをチェックして、呼出し側プロセス140がキュー上で寝込んで入力への繰り入れ待機を希望するか否かを判定する。もし希望しなければ、ステップ1908で、インターフェース・ファシリティ141はエラー支持を有しながら呼出し側プロセス140に戻る。呼出し側プロセス140もし待機を希望すれば、ステップ1904で、インターフェース・ファシリティ141は入力キュー143

のプロセス待機中フラッグ 350をセットして、プロセスがこの入力キュー 143で寝込み中であることを指示する。次にステップ1916で、インターフェース・ファシリティ 141は呼出し側プロセスを通常のUNIXシステムの方法で寝込ませる。プロセスを寝込ませることの中に含まれる活動は、プロセッサが寝込みにはいるときのプロセッサ状態を保存すること、およびこの入力キュー 143のアドレスに付属された寝込み中プロセス・リストにプロセスIDを追加すること、を含む。次に1905で、インターフェース・ファシリティ 141は、応答、処理、および他のプロセス 140からの別の呼出しというような他の作業を継続する。

パケットを受取り、その結果、プロセスが待機中であった入力キュー 143内にMSBI 146がデータ・エントリ 354を形成すると、MSBI 146は割込みを出す（第20図のステップ1525）。割込みはインターフェース・ファシリティ 141により受取られ、第24図に示しかつ後に説明するように処理される。処理の一部として、寝込み中のプロ

セスが呼び起される。寝込み中のプロセスの予呼び起しおよび実行再開の中には、そのプロセスが寝込みにはいったときのプロセッサ状態の回復が含まれる。この活動はステップ1906でインターフェース・ファシリティ 141の実行を再開させる。ステップ1907で、インターフェース・ファシリティ 141は入力キューが付属されているポート 202のポート構造 380のステータス・インディケータ 387を再びチェックし、ポートが切断されているとのマークが付記されているか否かを判定する。もしそうであるならば、ステップ1908で、インターフェース・ファシリティ 141はエラー指示を保有しながら呼び起されたプロセス 140に戻る。

ステップ1907でもしポート 202が切断されていないか、またはステップ1901で入力キュー 143が空きでなければ、インターフェース・ファシリティ 141は入力キューのアンローダ・ポインタ 353で指示された入力キュー・データ・エントリ 354を読み取り、次にステップ1909でポインタ 353を進めて次のエントリ 354を指示する。次にステップ

1910でインターフェース・ファシリティ 141は入力キュー・フル・フラグ 348をチェックして入力キューがフルのフラグ表示がなされているか否かを判定する。フラッグ 348はカウント・フラッグであり、インターフェース・ファシリティ 141はステップ1910で、フラッグ 348がゼロ以外の値を有するか否かをチェックする。もしそうであればフラッグ 348はセットされているとみなされ、ステップ1911で、インターフェース・ファシリティ 141はフラッグ 348のカウントを減じてステップ1909でデータ・エントリ 354が入力キュー 143から削除されたという事実を反映させる。次にステップ1912で、インターフェース・ファシリティはフラッグ 348を再チェックし、それがゼロまで減じられたか否かを判定する。もしそうであれば、これは、十分に多くのエントリ 354が入力キュー 143から削除されかつキュー 143は新たなエントリ 354を受入れる準備が完了していることの支持である。したがってステップ1913で、ポートのポート構造 380の出力キュー・ポインタ 381により

識別された出力キュー 144のデータ・エントリ 317内に、インターフェース・ファシリティ 141は前に説明のような「再スタート」メッセージを構成する。次にステップ1914でMSBI 146は出力キュー制御構造 300のタスク・フラッグ 305をセットして出力キュー 144の処理を起動し、これによりそのポートに付属されたチャンネル 201の他端部にあるプロセッサ 101に再スタートメッセージを送る。

ステップ1914に統いて、または入力キュー 143のフラッグ 348の値が減じられてステップ1912ではゼロ以外の値であるかあるいはステップ1910ではゼロである場合には、ステップ1915でインターフェース・ファシリティ 141は、ステップ1909で読み取った入力キュー 143データ・エントリ 354のバッファ・アドレス語 355を有して呼出し側プロセッサ 140に戻る。

MSBI 146からの割込みを受取ったことに対するインターフェース・ファシリティ 141の割込みハンドラによる応答を第24図に示す。前に説明

したように、割込みを出すまえに応答キュー 142 内にユーザ・エントリ 362が構成される。ステップ2000で割込みを受けたことに応答して、割込みハンドラはステップ2001で、ロード・ポインタ 360をアンロード・ポインタ 361と比較することにより、応答キュー 142が空きであるか否かをチェックする。もしアンロード・ポインタ 361がロード・ポインタ 360により指示されたエントリ 362の直前のエントリ 362を指示するならば、キュー 142は空きであり、割込みハンドラはステップ2002で、割込みを受けたインターフェース・ファシリティ 141のアクティビティへ戻る。もしキュー 142が空きでない（これは割込みの受取り直後ではないが）ならば、ステップ2003で割込みハンドラは、アンロード・ポインタ 361により指示された応答キュー・ユーザ・エントリ 362を読み取り、次にステップ2004でポインタ 361を進めて次の応答エントリ 362を指示する。次にステップ2005で、割込みハンドラは読み取られた応答エントリ 362のタグ語 370を調査してエントリ・タイプを判定す

る。

もしエントリ・タイプが入力であれば、これは、そのプロセス待機中インディケータ 350がセットされているかまたは入力を同期的に割込みハンドラ内にデキュー（`deque`; 待ち行列から外す）するかしている入力キュー 143に対してパケットを受取ったことを示している。入力キュー 143は、入力ハンドラが直接呼出すところのこれに付属のサービス・ルーチン…プロセスではない…を入力キューが有したときに同期式にデキューされる。ステップ2006で、割込みハンドラは応答エントリ 362のデータ語 371を調査して該当の入力キュー 143を識別し、識別された入力キュー 143に付属されたポートのポート構造 380のチャンネル・タイプ・インディケータ 385をアクセスし、インディケータ 385を調査してポート 202に付属するチャンネル 201は同期式にデキューされる非同期式チャンネルであるか否かを判定する。もしそうであれば、ステップ2007で割込みハンドラは待機中のルーチンを呼出し、次にステップ2001に戻る。も

しそうでなければ、ステップ2008で割込みハンドラは、入力キュー 143上で寝込み中であって入力キュー 143に付属のプロセスIDのリストで識別された一つ以上のプロセスを呼び起こす。割込みハンドラは次にステップ2001に戻る。

ステップ2005でエントリ・タイプが入力であると判定されれば、応答エントリ 362は、そのプロセス待機中フラッグ 313がセットされている出力キュー 144のデータ・エントリ 317に対応するパケットを送出したことの合図である。次にステップ2008で割込みハンドラは、応答エントリ 362のデータ語 371を調査してその出力キュー 144を識別し、その出力キュー 144で寝込み中のプロセス 140を呼び起こす。割込みハンドラは次にステップ2001に戻る。

ステップ2005でもしエントリ・タイプが入力または出力以外のものであると判定されたら、ステップ2009で割込みハンドラは、そのエントリ・タイプに適切であるようなエントリ 362を処理する。実施例では、割込みハンドラは応答エントリ 362

をプロセッサ 101の端末上にプリントさせる。割込みハンドラは次にステップ2001に戻る。

前記の実施例に種々の変更または修正が可能であることは当業者には明らかであることは当然理解すべきである。これらの変更および修正は、発明の精神および範囲を逸脱することなく、またその付帯の利点を減ずることなく実施可能である。したがって、このような変更および修正はすべて本発明の特許請求の範囲内に含まれるものであることは意図されている。

4 図面の簡単な説明

第1図は本発明の実施例を態様化した多重プロセッサ系のブロック図；

第2図は第1図の系のプロセッサ間通信論理構造を示すブロック型式図

第3図ないし第5図は第1図の系のキュー構造のブロック図；

第6図は第1図の系のインターフェース・ファシリティ 141がGETPコールに応答したときに行なう作業の流れ図；

第7図は第1図の系のインターフェース・ファシリティ 141がWRITEPコールに応答したときに行なう作業の流れ図；

第8図ないし第11図は第1図のMSBIがパケットを送り出すときに行なう作業の流れ図；

第12図は第1図の系のプロセッサのアドレス空間へのBICバッファのマップ化を示すブロック形式図；

第13図はレギュラ・パケットの構成を示すブロック形式図；

第14図は「クイック」メッセージ・パケットの構成を示すブロック形式図；

第15図は第1図の系のBIC およびバスのブロック図；

第16図は第15図のBICの制御装置の「送出し有限状態マシン」の状態図；

第17図は第15図のBICの制御装置の「受取り有限状態マシン」の状態図；

第18図ないし第20図は第1図の系のMSBIがパケットを受取るときに行なう作業の流れ図；

第21図は第1図の系のMSBIの「送出しクイック・メッセージ」ルーチンの流れ図；

第22図は第1図の系のMSBIの「プロセス・タイム・スタンプ」の流れ図；

第23図は第1図の系のインターフェース・ファシリティ 141がREADPコールに応答したときに行なう作業の流れ図；

第24図は第1図の系のインターフェース・ファシリティ 141の割込み処理ルーチンの流れ図；および

第25図は単一図を形成するために第3図ないし第5図の配置を示す構成図である。

出願人：アメリカン テレフォン アンド

テレグラフ カムパニー

代理人：三 俣 弘 文

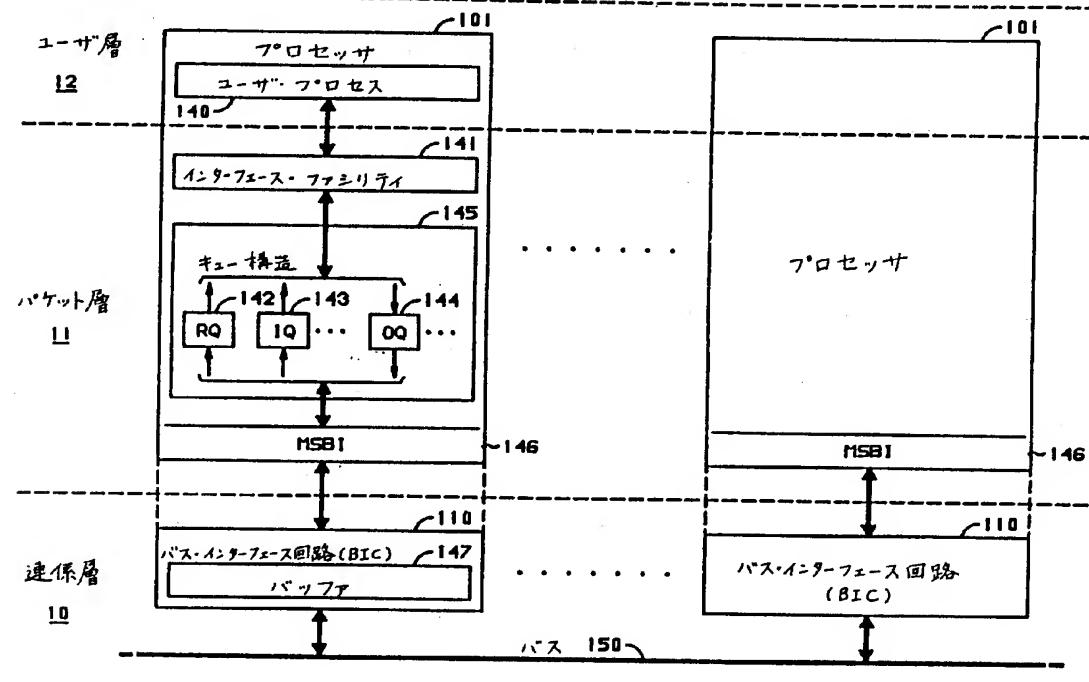


FIG. 1

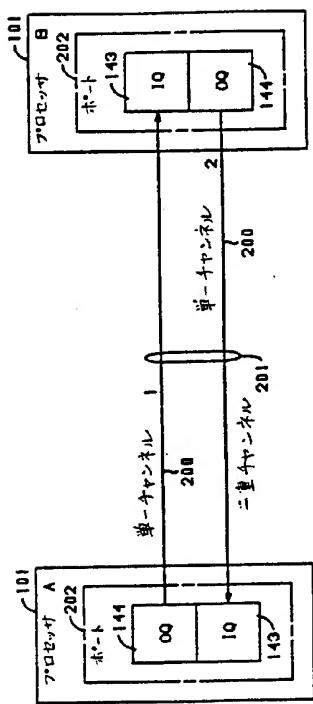


FIG. 2

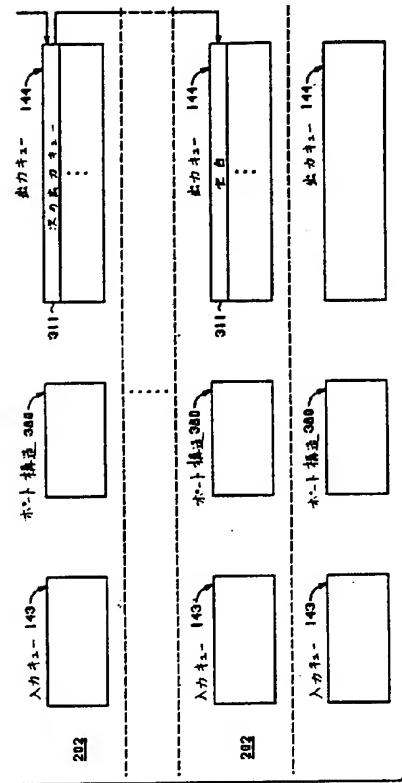
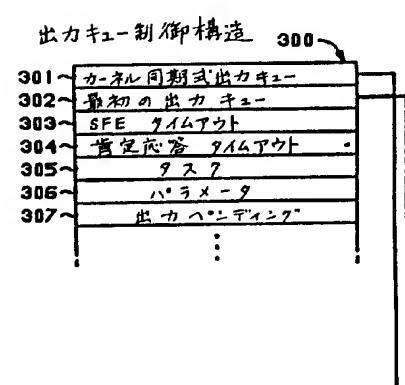
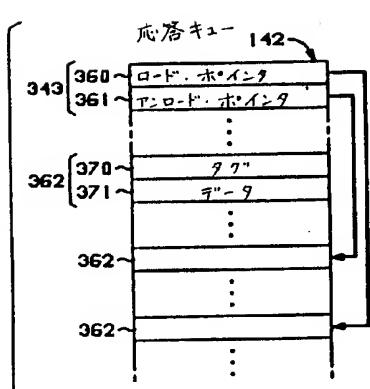


FIG. 5

FIG. 3



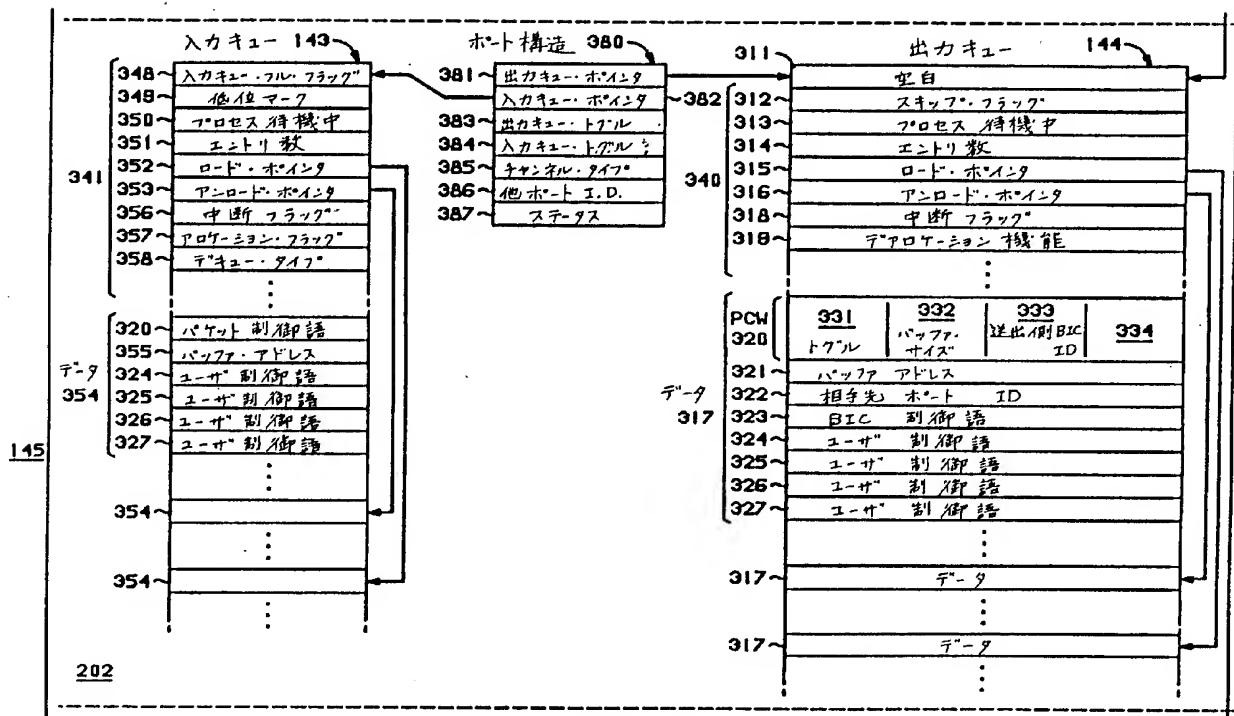


FIG. 4

※ 以降「フラグ」および「フラッグ」は同じものとする。

FIG. 6

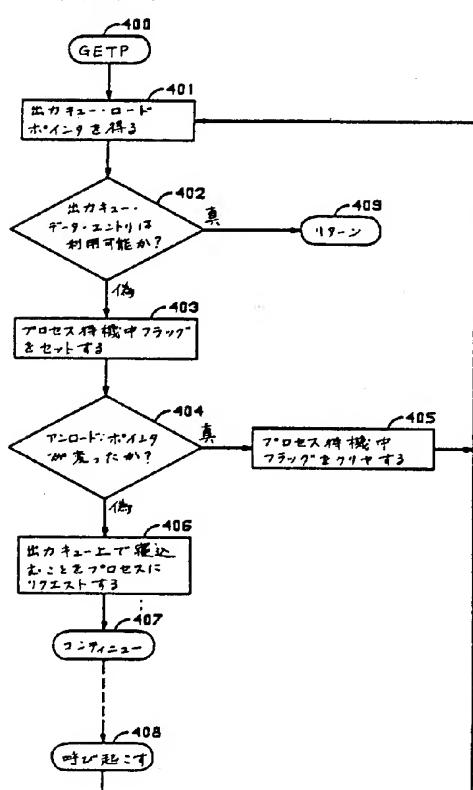


FIG. 7

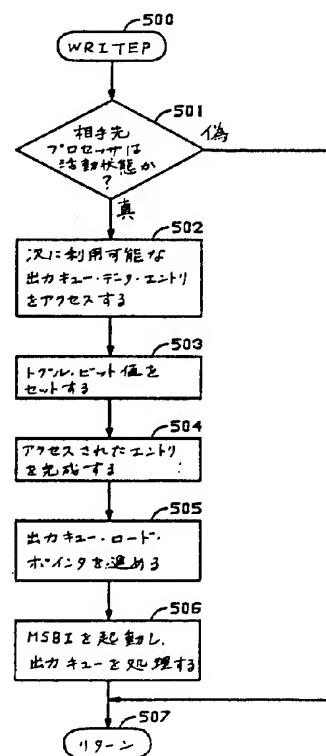


FIG. 9

FIG. 8

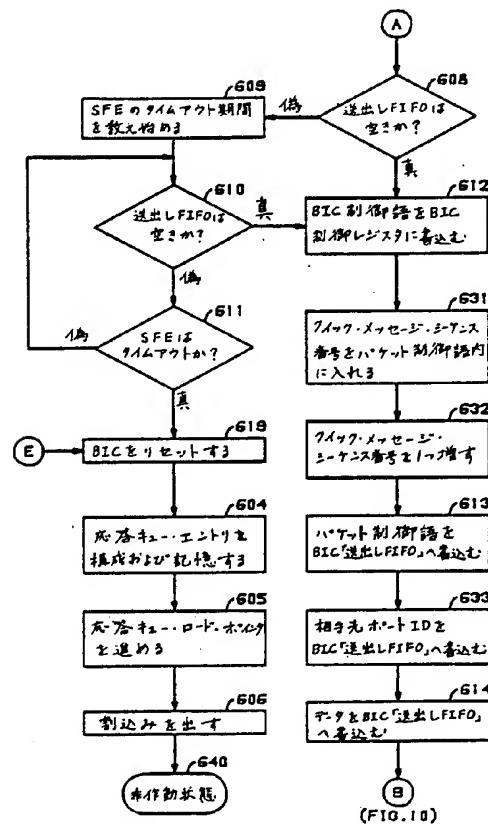
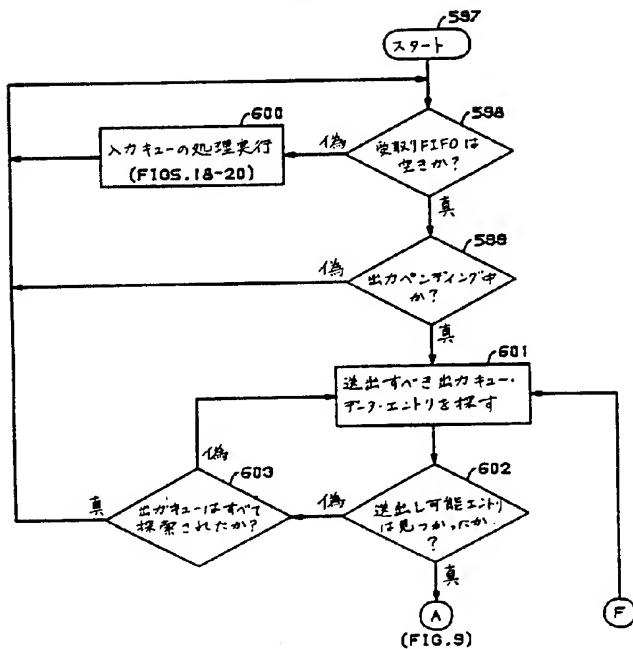


FIG. 10

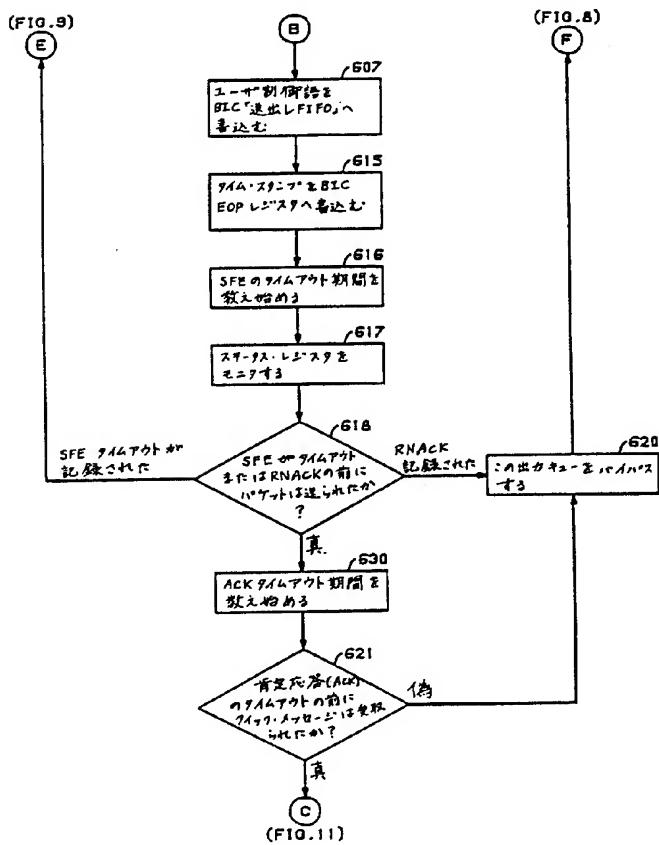
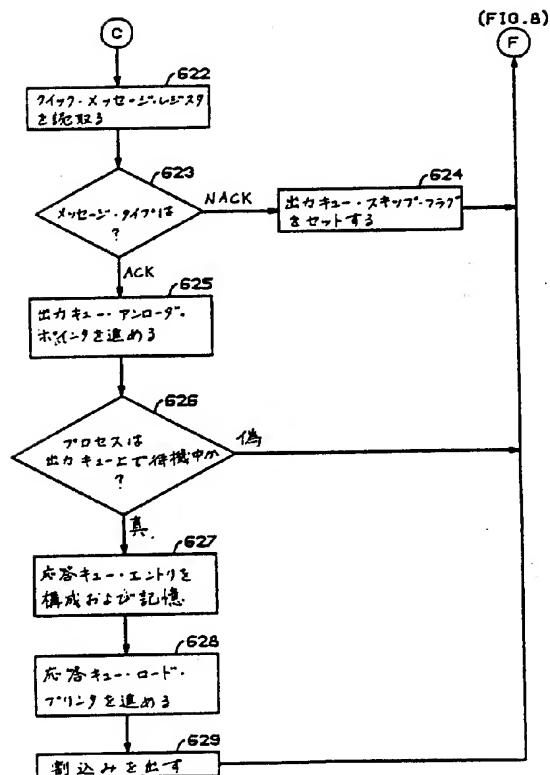


FIG. 11



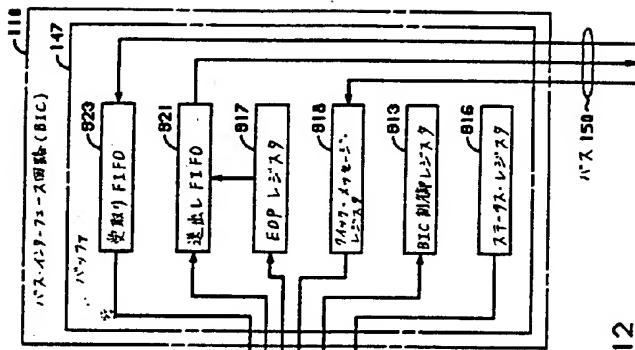


FIG. 12

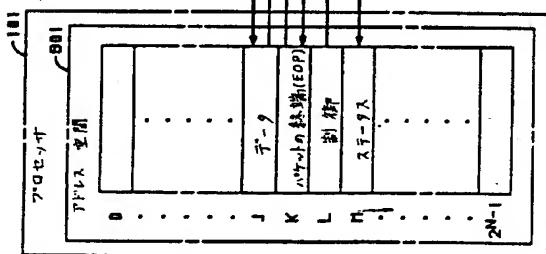


FIG. 12

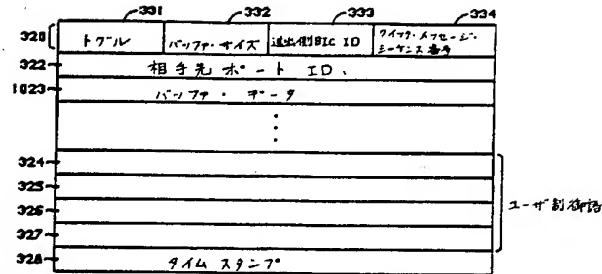


FIG. 13

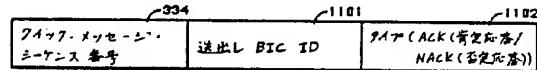


FIG. 14

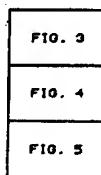


FIG. 25

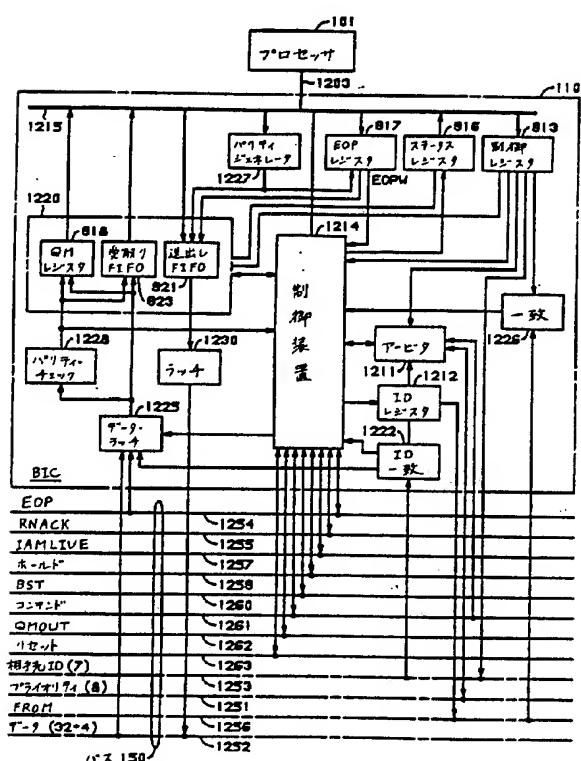


FIG. 15

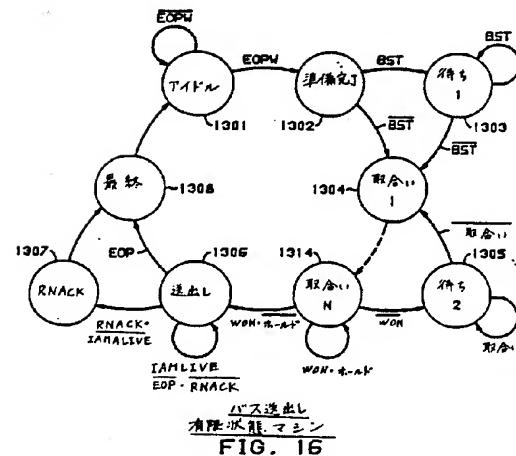


FIG. 16

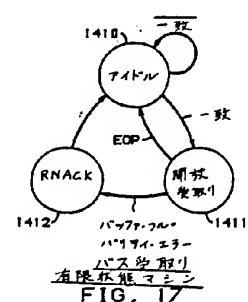


FIG. 17

FIG. 18

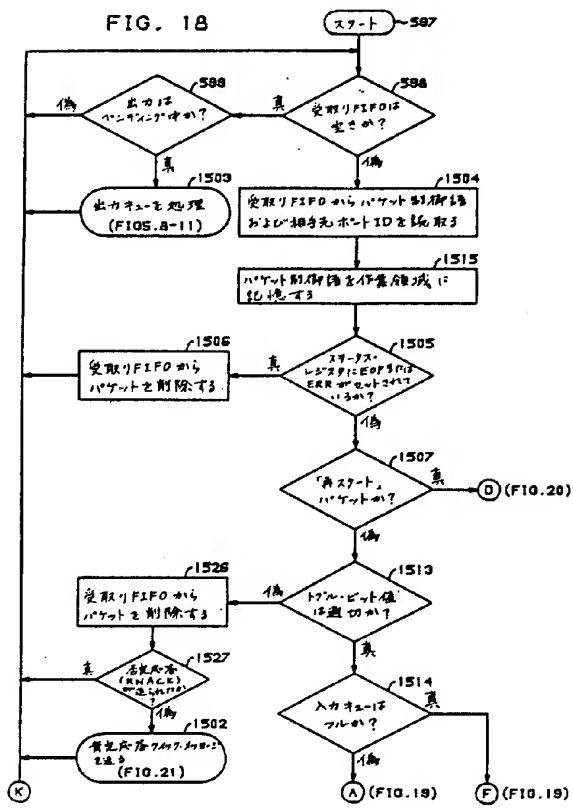


FIG. 19

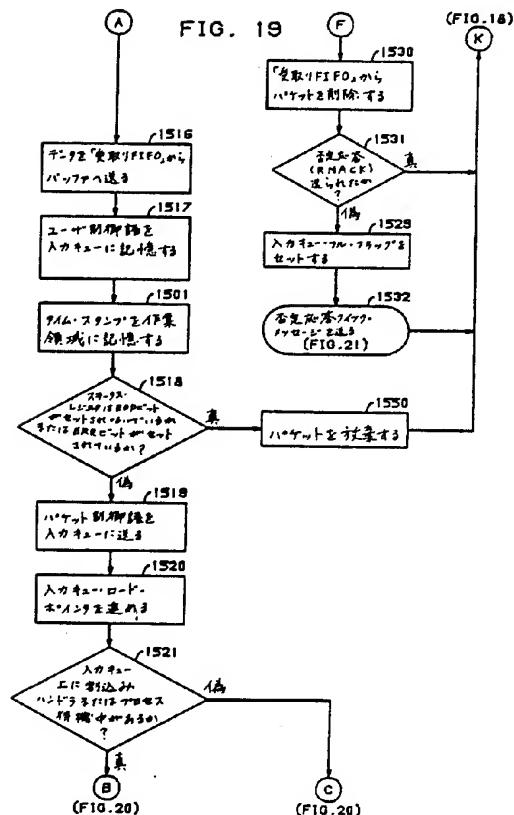


FIG. 20

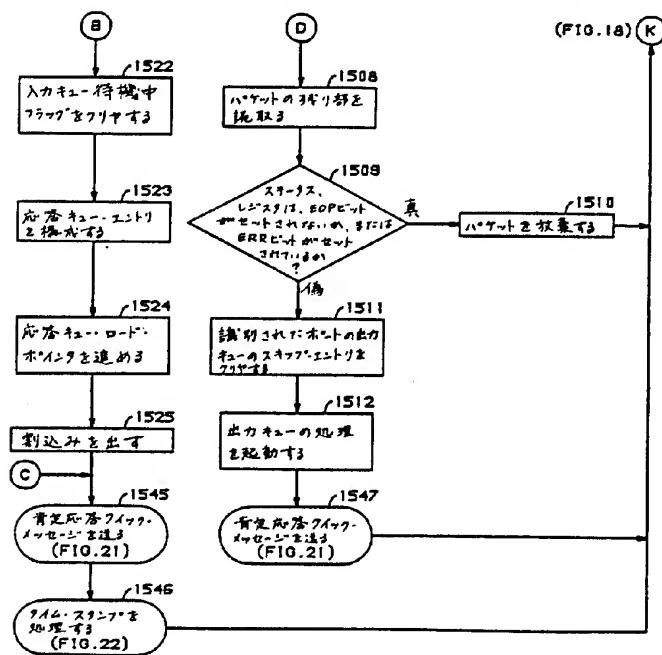


FIG. 21

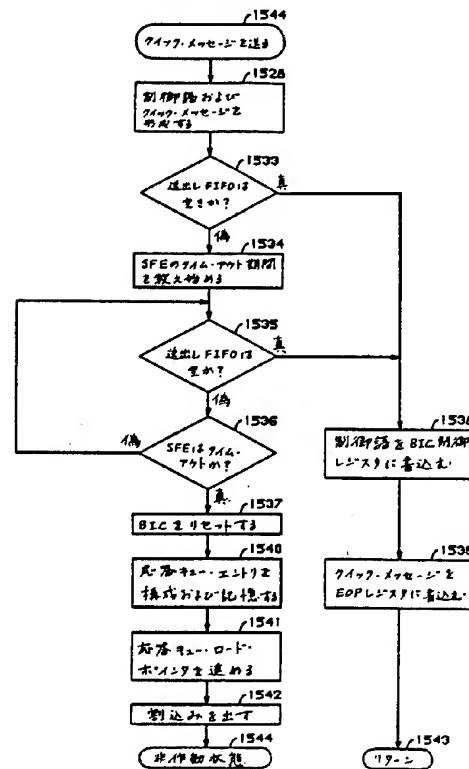


FIG. 24

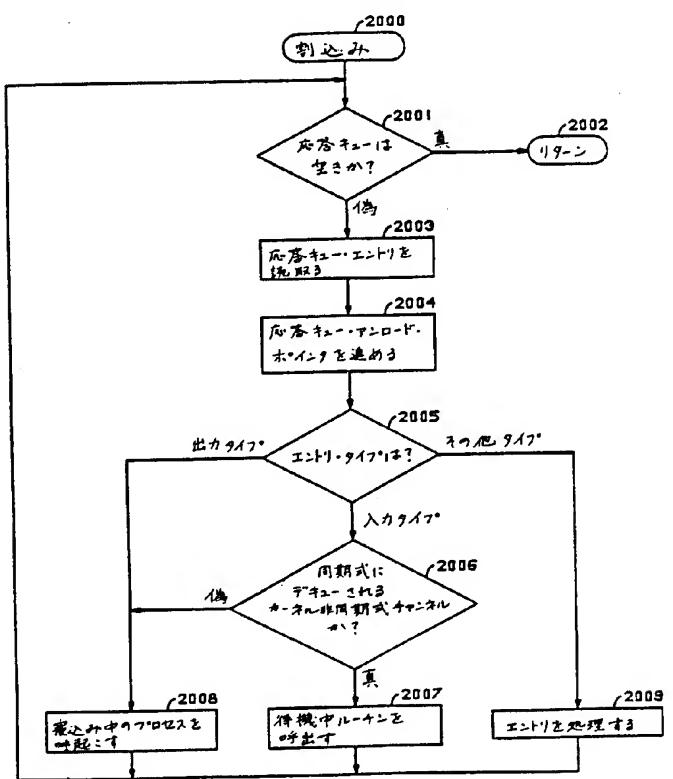


FIG. 22

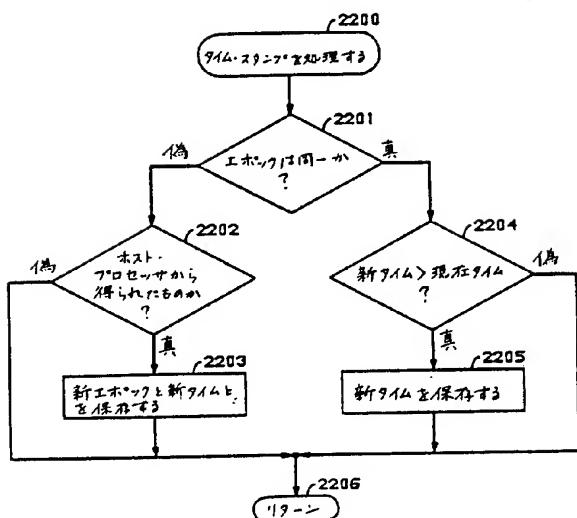
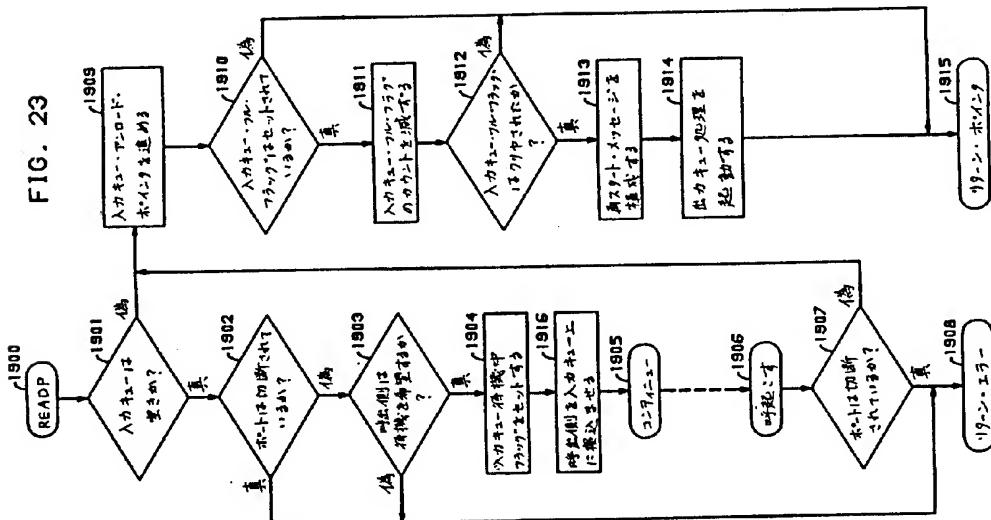


FIG. 23



第1頁の続き

⑦発明者	マーク ヘンリ デイ ヴィス	アメリカ合衆国, 60555 イリノイ, ウオレンヴィル, イ ラクウオイズ コート ノース 29ダブルユ320
⑦発明者	デイヴィット ニコラ ス ホーン	アメリカ合衆国, 07760 ニュージャージイ, ラムソン, ベイ ストリート 15
⑦発明者	グローヴア テイモシイ スラット	アメリカ合衆国, 60135 イリノイ, ウエスト シカゴ, ヒツコリイ レイン 716 ウエスト 28
⑦発明者	ロウレンス アルノ ウエルシユ	アメリカ合衆国, 60540 イリノイ, ナバーヴィル, ロイ アル ブラツクヒース コート 1016

手 締 祈 行 正 署 (方式)
昭和63年4月14日

特許庁長官 小川邦夫殿

1. 事件の表示

昭和62年特許願第323014号

2. 発明の名称

通信媒体に結合された複数プロセッサの系のステーションと
複数ステーション間の通信方法

3. 補正をする者

事件との関係 特許出願人
アメリカン テレフォン アンド
テレグラフ カムバニー

4. 代理人

住所 〒100 東京都千代田区内幸町2丁目2-1
エイ・ティ・アンド・ティ
・インターナショナル・ジャパン株式会社内

氏名 (8105)弁理士 三俣弘文

5. 補正命令の日付(発送日) 昭和63年3月29日

6. 補正の対象

明細書全文

特
63. 4. 14 方式
番 番
立
出
立
出

7. 補正の内容

別紙の通り、净書した明細書(内容に変更なし)を提出する。

以上